

日本国特許庁  
JAPAN PATENT OFFICE

22.10.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

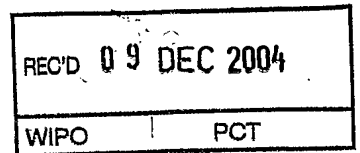
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2004年 6月 4日  
Date of Application:

出願番号 特願2004-167223  
Application Number:

[ST. 10/C]: [JP2004-167223]

出願人 松下電器産業株式会社  
Applicant(s):

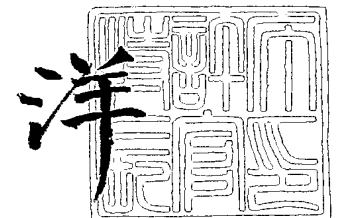


PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2004年11月26日

特許庁長官  
Commissioner,  
Japan Patent Office

小川



【書類名】 特許願  
【整理番号】 2054061122  
【提出日】 平成16年 6月 4日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 21/20  
【発明者】  
    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内  
    【氏名】 小佐野 浩一  
【発明者】  
    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内  
    【氏名】 村岡 俊作  
【発明者】  
    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内  
    【氏名】 高橋 健  
【発明者】  
    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内  
    【氏名】 下田代 雅文  
【特許出願人】  
    【識別番号】 000005821  
    【氏名又は名称】 松下電器産業株式会社  
【代理人】  
    【識別番号】 100077931  
    【弁理士】  
    【氏名又は名称】 前田 弘  
【選任した代理人】  
    【識別番号】 100094134  
    【弁理士】  
    【氏名又は名称】 小山 廣毅  
【選任した代理人】  
    【識別番号】 100110939  
    【弁理士】  
    【氏名又は名称】 竹内 宏  
【選任した代理人】  
    【識別番号】 100110940  
    【弁理士】  
    【氏名又は名称】 嶋田 高久  
【選任した代理人】  
    【識別番号】 100113262  
    【弁理士】  
    【氏名又は名称】 竹内 祐二  
【選任した代理人】  
    【識別番号】 100115059  
    【弁理士】  
    【氏名又は名称】 今江 克実  
【選任した代理人】  
    【識別番号】 100115691  
    【弁理士】  
    【氏名又は名称】 藤田 篤史  
    【電話番号】 06-6125-2255  
    【連絡先】 担当

【選任した代理人】  
【識別番号】 100117581  
【弁理士】  
【氏名又は名称】 二宮 克也  
【選任した代理人】  
【識別番号】 100117710  
【弁理士】  
【氏名又は名称】 原田 智雄  
【選任した代理人】  
【識別番号】 100121728  
【弁理士】  
【氏名又は名称】 井関 勝守  
【手数料の表示】  
【予納台帳番号】 014409  
【納付金額】 16,000円  
【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 0217869

**【書類名】 特許請求の範囲****【請求項 1】**

第 1 のノードと第 2 のノードとの間に接続された第 1 のメモリブロックと、  
前記第 1 のノードと前記第 2 のノードとの間に前記第 1 のメモリブロックと直列に接続された第 1 のブロック選択トランジスタとを備え、  
前記第 1 のメモリブロックは、  
直列に接続された複数のメモリセルを含み、  
前記複数のメモリセルの各々は、  
第 1 の端子と第 2 の端子との間に接続されかつ当該第 1 の端子と当該第 2 の端子との間に与えられる電氣的パルスに応答して抵抗値が変化する可変抵抗と、  
前記第 1 の端子と前記第 2 の端子との間に前記可変抵抗と並列に接続されたトランジスタとを含む、  
ことを特徴とするメモリ回路。

**【請求項 2】**

請求項 1 において、

前記第 1 のメモリブロックと前記第 1 のブロック選択トランジスタとの相互接続ノードと第 3 のノードとの間に接続された第 2 のメモリブロックをさらに備え、  
前記第 2 のメモリブロックは、  
直列に接続された複数のメモリセルを含み、  
前記複数のメモリセルの各々は、  
第 1 の端子と第 2 の端子との間に接続されかつ当該第 1 の端子と当該第 2 の端子との間に与えられる電氣的パルスに応答して抵抗値が変化する可変抵抗と、  
前記第 1 の端子と前記第 2 の端子との間に前記可変抵抗と並列に接続されたトランジスタとを含む、  
ことを特徴とするメモリ回路。

**【請求項 3】**

請求項 1 において、

前記第 2 のノードと第 3 のノードとの間に接続された第 2 のメモリブロックと、  
前記第 2 のノードと前記第 3 のノードとの間に前記第 2 のメモリブロックと直列に接続された第 2 のブロック選択トランジスタとをさらに備え、  
前記第 2 のメモリブロックは、  
直列に接続された複数のメモリセルを含み、  
前記複数のメモリセルの各々は、  
第 1 の端子と第 2 の端子との間に接続されかつ当該第 1 の端子と当該第 2 の端子との間に与えられる電氣的パルスに応答して抵抗値が変化する可変抵抗と、  
前記第 1 の端子と前記第 2 の端子との間に前記可変抵抗と並列に接続されたトランジスタとを含む、  
ことを特徴とするメモリ回路。

**【請求項 4】**

請求項 2 において、

データの書き込み時には、  
前記第 1 のブロック選択トランジスタをオンにし、  
前記第 1 のメモリブロックに含まれているメモリセルのうちのあるメモリセル（第 1 のメモリセル）に含まれているトランジスタをオフにし、かつ、前記第 1 のメモリブロックに含まれているメモリセルのうちの前記第 1 のメモリセル以外のメモリセルに含まれているトランジスタをオンにし、  
前記第 2 のメモリブロックに含まれているメモリセルのうちのあるメモリセル（第 2 のメモリセル）に含まれているトランジスタをオフにし、かつ、前記第 2 のメモリブロックに含まれているメモリセルのうちの前記第 2 のメモリセル以外のメモリセルに含まれているトランジスタをオンにし、

前記第1のメモリセルに含まれている可変抵抗の抵抗値を増加させる電気的パルスを前記第1のノードと前記第2のノードとの間に印加し、かつ、前記第2のメモリセルに含まれている可変抵抗の抵抗値を減少させる電気的パルスで前記第1のノードと前記第3のノードとの間に印加し、

データの読み出し時には、

前記第1のブロック選択トランジスタをオンにし、

前記第1のメモリセルに含まれているトランジスタをオフにし、かつ、前記第1のメモリブロックに含まれているメモリセルのうちの前記第1のメモリセル以外のメモリセルに含まれているトランジスタをオンにし、

前記第2のメモリセルに含まれているトランジスタをオフにし、かつ、前記第2のメモリブロックに含まれているメモリセルのうちの前記第2のメモリセル以外のメモリセルに含まれているトランジスタをオンにし、

前記第2のノードと前記第3のノードとの間に所定の電圧を印加した状態で前記第1のノードの電圧を検出する、  
ことを特徴とするメモリ回路。

#### 【請求項5】

請求項3において、

データの書き込み時には、

前記第1のブロック選択トランジスタおよび前記第2のブロック選択トランジスタをオンにし、

前記第1のメモリブロックに含まれているメモリセルのうちのメモリセル（第1のメモリセル）に含まれているトランジスタをオフにし、かつ、前記第1のメモリブロックに含まれているメモリセルのうちの前記第1のメモリセル以外のメモリセルに含まれているトランジスタをオンにし、

前記第2のメモリブロックに含まれているメモリセルのうちのメモリセル（第2のメモリセル）に含まれているトランジスタをオフにし、かつ、前記第2のメモリブロックに含まれているメモリセルのうちの前記第2のメモリセル以外のメモリセルに含まれているトランジスタをオンにし、

前記第1のメモリセルに含まれている可変抵抗の抵抗値を増加させる電気的パルスで前記第1のノードと前記第2のノードとの間に印加し、かつ、前記第2のメモリセルに含まれている可変抵抗の抵抗値を減少させる電気的パルスで前記第2のノードと前記第3のノードとの間に印加し、

データの読み出し時には、

前記第1のブロック選択トランジスタおよび前記第2のブロック選択トランジスタをオンにし、

前記第1のメモリセルに含まれているトランジスタをオフにし、かつ、前記第1のメモリブロックに含まれているメモリセルのうちの前記第1のメモリセル以外のメモリセルに含まれているトランジスタをオンにし、

前記第2のメモリセルに含まれているトランジスタをオフにし、かつ、前記第2のメモリブロックに含まれているメモリセルのうちの前記第2のメモリセル以外のメモリセルに含まれているトランジスタをオンにし、

前記第1のノードと前記第3のノードとの間に所定の電圧を印加した状態で前記第2のノードの電圧を検出する、  
ことを特徴とするメモリ回路。

#### 【請求項6】

請求項1から3のいずれか1つに記載のメモリ回路をマトリックス状に配置してなる、  
ことを特徴とする半導体集積回路。

#### 【請求項7】

請求項1から3のいずれか1つに記載のメモリ回路と、

前記メモリ回路をデータRAMとして用いるロジック回路部とを備える、

ことを特徴とする半導体集積回路。

【請求項 8】

請求項 1 から 3 のいずれか 1 つに記載のメモリ回路と、  
前記メモリ回路をプログラム ROM として用いるプロセッサとを備える、  
ことを特徴とする半導体集積回路。

【書類名】明細書

【発明の名称】メモリ回路

【技術分野】

【0001】

本発明は、与えられる電氣的パルスに応答してその抵抗値が変化する材料を用いたメモリ回路に関する。

【背景技術】

【0002】

近年、電子機器におけるデジタル技術の進展に伴い、画像などのデータを保存するため、固体記憶素子に対し容量の増大およびデータの転送の高速化の要求がますます高まりつつある。こうした要求に対し、与えられる電氣的パルスに応じてその抵抗値が変化するペロブスカイト材料（例えば、 $\text{Pr}_{1-x}\text{Ca}_x\text{MnO}_3$  (PCMO)、 $\text{LaSrMnO}_3$  (LSMO)、 $\text{GdBaCo}_x\text{O}_y$  (GBCO) など）を用いて固体記憶素子を構成する技術が米国特許第 6, 204, 139 号公報に開示されている。これらの材料（以下、抵抗変化材料という。）は、所定の電氣的パルスに応じてその抵抗値を増大もしくは減少させ、その結果変化した抵抗値の状態を異なる数値の記憶に用いることにより、不揮発性の記憶素子として用いるものである。さらなるデータ量の増大に対して、電氣的パルスにより抵抗値が変化する材料を用いてクロスポイント構造により高密度化して大容量の記憶素子を実現する技術が米国特許出願公開第 2003/0001178 号明細書に開示されている。

【特許文献 1】米国特許第 6, 204, 139 号明細書

【特許文献 2】米国特許出願公開第 2003/0001178 号明細書

【発明の開示】

【発明が解決しようとする課題】

【0003】

上述の抵抗変化材料を用いて構成されたメモリセルの一例を図 16 に示す。このメモリセルでは、抵抗変化材料（可変抵抗）100 に 2 つの電極 101, 102 が接続されている。このメモリセルでは、抵抗変化材料 100 の抵抗値  $R$  が低抵抗の状態において、電極 101 に対して電極 102 が + 極性となる電氣的パルスを電極 101, 102 間に印加すると、抵抗変化材料 100 の抵抗値  $R$  が増加する。一方、抵抗変化材料 100 の抵抗値  $R$  が高抵抗の状態において、電極 101 に対して電極 102 が - 極性となる電氣的パルスを電極 101, 102 間に印加すると、抵抗変化材料 100 の抵抗値  $R$  が減少する。図 16 において抵抗変化材料 100 を表す回路記号は、矢印の先端のほうが + 極性となる（すなわち電極 101 に対して電極 102 が + 極性となる）電氣的パルスを電極 101, 102 間に印加すると抵抗変化材料 100 の抵抗値  $R$  が増加し、矢印の先端のほうが - 極性となる（すなわち電極 101 に対して電極 102 が - 極性となる）電氣的パルスを電極 101, 102 間に印加すると抵抗変化材料 100 の抵抗値  $R$  が減少することを示している。

【0004】

図 16 に示したメモリセルを用いて構成されたメモリ回路の一例を図 17 に示す。なお、図 17 では、メモリ回路に含まれている複数のメモリセルのうちの 1 つに関する部分のみを示している。図 17 のメモリ回路では、メモリセル MC を選択するためのトランジスタ 103 と可変抵抗材料 100 とがビット線 BL とプレート線 PL との間に直列に接続されている。トランジスタ 103 の一端はビット線 BL に他端は電極 101 に接続され、電極 102 はプレート線 PL に接続されている。トランジスタ 103 のゲートはワード線 WL に接続されている。

【0005】

図 17 に示した構成は、抵抗変化材料を用いたメモリ回路の構成として最も一般的なものであるが、大容量化への要求に対し、図 18 に示すようなクロスポイント構造のメモリ回路が提案されている。図 18 に示すメモリ回路では、図 17 に示したメモリ回路とは異なり、各メモリセル MC に対して個別の選択用トランジスタが設けられていない。図 18 に示すメモリ回路では、複数のビット線 BL とそれに直交する複数のプレート線 PL とが

設けられている。各ビット線BLにはビット線選択用トランジスタ111、各プレート線PLにはプレート線選択用トランジスタ112が設けられている。各ビット線BLおよび各プレート線PLの交差部にメモリセルMCが設けられている。この構成にすることにより、各メモリセルMCに選択用トランジスタを設ける必要がなくなり、図17に示した構成に比べて大容量のメモリを実現できる。

#### 【0006】

しかしながら、図18に示したクロスポイント構造のメモリ回路は、記録時に加えられる電氣的パルスが、選択されたビット線BLと選択されたプレート線PLとがクロスする位置のメモリセルMC以外にも影響を及ぼすこと、および、再生時には選択された所望の位置のメモリセルMC以外の抵抗値によって再生信号が影響を受けることにより、S/Nの劣化をもたらす。このことは半導体の微細化に伴って記録再生のエラーの増大につながる。

#### 【課題を解決するための手段】

#### 【0007】

本発明によるメモリ回路は、第1のノードと第2のノードとの間に接続された第1のメモリブロックと、前記第1のノードと前記第2のノードとの間に前記第1のメモリブロックと直列に接続された第1のブロック選択トランジスタとを備え、前記第1のメモリブロックは、直列に接続された複数のメモリセルを含み、前記複数のメモリセルの各々は、第1の端子と第2の端子との間に接続されかつ当該第1の端子と当該第2の端子との間に与えられる電氣的パルスに応答して抵抗値が変化する可変抵抗と、前記第1の端子と前記第2の端子との間に前記可変抵抗と並列に接続されたトランジスタとを含む、ことを特徴とする。

#### 【0008】

上記メモリ回路において、前記第1のメモリブロックと前記第1のブロック選択トランジスタとの相互接続ノードと第3のノードとの間に接続された第2のメモリブロックをさらに備え、前記第2のメモリブロックは、直列に接続された複数のメモリセルを含み、前記複数のメモリセルの各々は、第1の端子と第2の端子との間に接続されかつ当該第1の端子と当該第2の端子との間に与えられる電氣的パルスに応答して抵抗値が変化する可変抵抗と、前記第1の端子と前記第2の端子との間に前記可変抵抗と並列に接続されたトランジスタとを含む、ことが好ましい。

#### 【0009】

上記メモリ回路において、データの書き込み時には、前記第1のブロック選択トランジスタをオンにし、前記第1のメモリブロックに含まれているメモリセルのうちのあるメモリセル（第1のメモリセル）に含まれているトランジスタをオフにし、かつ、前記第1のメモリブロックに含まれているメモリセルのうちの前記第1のメモリセル以外のメモリセルに含まれているトランジスタをオンにし、前記第2のメモリブロックに含まれているメモリセルのうちのあるメモリセル（第2のメモリセル）に含まれているトランジスタをオフにし、かつ、前記第2のメモリブロックに含まれているメモリセルのうちの前記第2のメモリセル以外のメモリセルに含まれているトランジスタをオンにし、前記第1のメモリセルに含まれている可変抵抗の抵抗値を増加させる電氣的パルスを前記第1のノードと前記第2のノードとの間に印加し、かつ、前記第2のメモリセルに含まれている可変抵抗の抵抗値を減少させる電氣的パルスを前記第1のノードと前記第3のノードとの間に印加し、データの読み出し時には、前記第1のブロック選択トランジスタをオンにし、前記第1のメモリセルに含まれているトランジスタをオフにし、かつ、前記第1のメモリブロックに含まれているメモリセルのうちの前記第1のメモリセル以外のメモリセルに含まれているトランジスタをオンにし、前記第2のメモリセルに含まれているトランジスタをオフにし、かつ、前記第2のメモリブロックに含まれているメモリセルのうちの前記第2のメモリセル以外のメモリセルに含まれているトランジスタをオンにし、前記第2のノードと前記第3のノードとの間に所定の電圧を印加した状態で前記第1のノードの電圧を検出する、ことが好ましい。



## 【0010】

上記メモリ回路において、前記第2のノードと第3のノードとの間に接続された第2のメモリブロックと、前記第2のノードと前記第3のノードとの間に前記第2のメモリブロックと直列に接続された第2のブロック選択トランジスタとをさらに備え、前記第2のメモリブロックは、直列に接続された複数のメモリセルを含み、前記複数のメモリセルの各々は、第1の端子と第2の端子との間に接続されかつ当該第1の端子と当該第2の端子との間に与えられる電氣的パルスに応答して抵抗値が変化する可変抵抗と、前記第1の端子と前記第2の端子との間に前記可変抵抗と並列に接続されたトランジスタとを含む、ことが好ましい。

## 【0011】

上記メモリ回路において、データの書き込み時には、前記第1のブロック選択トランジスタおよび前記第2のブロック選択トランジスタをオンにし、前記第1のメモリブロックに含まれているメモリセルのうちのあるメモリセル（第1のメモリセル）に含まれているトランジスタをオフにし、かつ、前記第1のメモリブロックに含まれているメモリセルのうちの前記第1のメモリセル以外のメモリセルに含まれているトランジスタをオンにし、前記第2のメモリブロックに含まれているメモリセルのうちのあるメモリセル（第2のメモリセル）に含まれているトランジスタをオフにし、かつ、前記第2のメモリブロックに含まれているメモリセルのうちの前記第2のメモリセル以外のメモリセルに含まれているトランジスタをオンにし、前記第1のメモリセルに含まれている可変抵抗の抵抗値を増加させる電氣的パルスを前記第1のノードと前記第2のノードとの間に印加し、かつ、前記第2のメモリセルに含まれている可変抵抗の抵抗値を減少させる電氣的パルスを前記第2のノードと前記第3のノードとの間に印加し、データの読み出し時には、前記第1のブロック選択トランジスタおよび前記第2のブロック選択トランジスタをオンにし、前記第1のメモリセルに含まれているトランジスタをオフにし、かつ、前記第1のメモリブロックに含まれているメモリセルのうちの前記第1のメモリセル以外のメモリセルに含まれているトランジスタをオンにし、前記第2のメモリセルに含まれているトランジスタをオフにし、かつ、前記第2のメモリブロックに含まれているメモリセルのうちの前記第2のメモリセル以外のメモリセルに含まれているトランジスタをオンにし、前記第1のノードと前記第3のノードとの間に所定の電圧を印加した状態で前記第2のノードの電圧を検出することが好ましい。

## 【0012】

本発明による半導体集積回路は、上記メモリ回路をマトリックス状に配置してなる、ことを特徴とする。

## 【0013】

本発明による別の半導体集積回路は、上記メモリ回路と、前記メモリ回路をデータRAMとして用いるロジック回路部とを備える、ことを特徴とする。

## 【0014】

本発明による別の半導体集積回路は、上記メモリ回路と、前記メモリ回路をプログラムROMとして用いるプロセッサとを備える、ことを特徴とする。

## 【発明の効果】

## 【0015】

本発明によれば、半導体の微細化が進んでもクロスポイント型の記憶素子に比べて記録再生のエラーが少ないメモリ回路の実現を可能とし、かつ、従来の1個のメモリセルに対してセル選択用のトランジスタが1個備わるタイプのメモリ回路に比較して、セルサイズの低減により、高密度化による大容量化が実現される。

## 【発明を実施するための最良の形態】

## 【0016】

以下、本発明の実施形態を図面を参照して詳しく説明する。なお、図面において同一部分または相当する部分には同一の参照符号を付してその説明は繰り返さない。

## 【0017】

## (第1の実施形態)

## &lt;メモリLSIの全体構成&gt;

本発明の第1の実施形態によるメモリLSIの全体構成を図1に示す。このメモリLSI 1は、メモリブロックBK11, BK12, BK21, BK22と、行デコーダ10と、列デコーダ20と、トランジスタT11, T12, T21, T22と、ワード線WL11~WL14, WL21~WL24と、ビット線BL1, BL2と、ブロック選択信号線BS11, BS12, BS21, BS22と、プレート線PL1, PL2とを備える。

## 【0018】

メモリブロックBK11, BK12, BK21, BK22は行および列にマトリクス状に配置されている。

## 【0019】

ワード線WL11~WL14, WL21~WL24は行方向に配置されている。ワード線WL11~WL14は、メモリブロックBK11, BK12に対応している。ワード線WL21~WL24は、メモリブロックBK21, BK22に対応している。

## 【0020】

ビット線BL1, BL2は列方向に配置されている。ビット線BL1は、メモリブロックBK11, BK21に対応している。ビット線BL2は、メモリブロックBK12, BK22に対応している。

## 【0021】

プレート線PL1は、メモリブロックBK11, BK12に対応して配置されている。プレート線PL2は、メモリブロックBK21, BK22に対応して配置されている。

## 【0022】

トランジスタT11およびメモリブロックBK11は、ビット線BL1上のノードN1とプレート線PL1上のノードN5との間に直列に接続されている。トランジスタT11のゲートは、ブロック選択信号線BS11に接続されている。トランジスタT12およびメモリブロックBK12は、ビット線BL2上のノードN2とプレート線PL1上のノードN6との間に直列に接続されている。トランジスタT12のゲートは、ブロック選択信号線BS12に接続されている。トランジスタT21およびメモリブロックBK21は、ビット線BL1上のノードN3とプレート線PL2上のノードN7との間に直列に接続されている。トランジスタT21のゲートは、ブロック選択信号線BS21に接続されている。トランジスタT22およびメモリブロックBK22は、ビット線BL2上のノードN4とプレート線PL2上のノードN8との間に直列に接続されている。トランジスタT22のゲートは、ブロック選択信号線BS22に接続されている。

## 【0023】

行デコーダ10は、外部からのアドレス信号を受け、これに対応するブロック選択信号線およびワード線を活性化する。

## 【0024】

列デコーダ20は、書き込み時には、外部からのアドレス信号を受け、これに対応するビット線とプレート線との間に、書き込むべきデータに応じた電氣的パルス印加する。一方、読み出し時には、外部からのアドレス信号に対応するビット線とプレート線との間に所定の電圧を印加し、これにより流れる電流の値を検出し、検出した電流値に応じたデータを外部に出力する。

## 【0025】

## &lt;メモリブロックBK11の内部構成&gt;

図1に示したメモリブロックBK11の内部構成を図2に示す。メモリブロックBK11は、メモリセルMC1~MC4を含む。メモリセルMC1~MC4は、トランジスタT11とプレート線PL1上のノードN5との間に直列に接続されている。メモリセルMC1~MC4はワード線WL11~WL14に対応している。メモリセルMC1~MC4の各々は、可変抵抗100と、電極101, 102と、トランジスタT1を含む。可変抵抗100は、電極101と電極102との間に接続されている。可変抵抗100は、電極

101と電極102との間に与えられる電気的パルスに応答してその抵抗値が変化（増加／減少）する材料により構成されている。トランジスタT1は、電極101と電極102との間に可変抵抗100と並列に接続されている。トランジスタT1のゲートは、対応するワード線に接続されている。

#### 【0026】

なお、メモリブロックBK12, 21, 22の内部構成も、図2に示したメモリブロックBK11の内部構成と同様の構成である。

#### 【0027】

＜可変抵抗100の特性＞

次に、各メモリセルMC1～MC4に含まれている可変抵抗100の特性について説明する。

#### 【0028】

図3(a)に示すように、可変抵抗100の抵抗値Rが低抵抗値r1の状態において、電極101に対して電極102が＋極性となる電気的パルス（たとえばパルス幅100ns、振幅 $V_0 = 4V$ ）を電極101, 102間に印加すると、可変抵抗100の抵抗値Rがr1からr2に増加する。なお、可変抵抗100の抵抗値Rが高抵抗値r2の状態において、電極101に対して電極102が＋極性となる電気的パルスが電極101, 102間に印加されたときには高抵抗値r2の状態が保持される。

#### 【0029】

一方、図3(b)に示すように、可変抵抗100の抵抗値Rが高抵抗値r2の状態において、電極101に対して電極102が－極性となる電気的パルス（たとえばパルス幅100ns、振幅 $(-V_0) = -4V$ ）を電極101, 102間に印加すると、可変抵抗100の抵抗値Rがr2からr1に減少する。なお、可変抵抗100の抵抗値Rが低抵抗値r1の状態において、電極101に対して電極102が－極性となる電気的パルスが電極101, 102間に印加されたときには低抵抗値r1の状態が保持される。

#### 【0030】

図2において可変抵抗100を表す回路記号は、矢印の先端のほうが＋極性となる（すなわち電極101に対して電極102が＋極性となる）電気的パルスを電極101, 102間に印加すると可変抵抗100の抵抗値Rが増加し、矢印の先端のほうが－極性となる（すなわち電極101に対して電極102が－極性となる）電気的パルスを電極101, 102間に印加すると可変抵抗100の抵抗値Rが減少することを示している。

#### 【0031】

可変抵抗100の抵抗値Rは、電気的パルスが次に印加されるまで現在の値が保持されるので、低抵抗値r1および高抵抗値r2の一方を“0”、他方を“1”に対応させることにより、デジタル情報を記憶する不揮発性記憶素子として動作させることができる。

#### 【0032】

＜メモリセルへの情報の書き込み＞

次に、図1に示したメモリLSI1の書き込み動作について説明する。ここではメモリブロックBK11内のメモリセルMC1にデータを書き込む場合を例にして説明する。

#### 【0033】

メモリブロックBK11内のメモリセルMC1を示すアドレスと、当該メモリセルMC1に書き込むべきデータとが外部から与えられる。

#### 【0034】

与えられたアドレスに응答して行デコーダ10は、ブロック選択信号線BS11を活性化し、ブロック選択信号線BS12, BS21, BS22を不活性化する。また行デコーダ11は、ワード線WL11を不活性化し、ワード線WL12～WL14, WL21～WL24を活性化する。これによりトランジスタT11がオンになり、トランジスタT12, T21, T22がオフになる。また、メモリブロックBK11のメモリセルMC1内のトランジスタT1がオフになり、メモリブロックBK11のメモリセルMC2～MC4内のトランジスタT1がオンになる。トランジスタT1がオン状態であるメモリセルMC2

～MC 4 における電極 101, 102 間の抵抗値は、並列接続されている可変抵抗 100 に比べて抵抗値の低いトランジスタ T1 の内部抵抗によって支配されているため抵抗値が低く、トランジスタ T1 がオフ状態であるメモリセル MC 1 における電極 101, 102 間の抵抗値は、可変抵抗 100 の抵抗値に支配されて抵抗値が高くなる。

#### 【0035】

この状態で列デコーダ 20 は、与えられたアドレスに応答してビット線 BL 1 とプレート線 PL 1 との間に電氣的パルスを印加する。列デコーダ 20 は、書き込むべきデータに応じた極性の電氣的パルス印加する。たとえば、可変抵抗 100 の抵抗値 R について、低抵抗値  $r_1$  を “0”、高抵抗値  $r_2$  を “1” に対応させている場合には次のような極性の電氣的パルスが与えられる。

#### 【0036】

メモリブロック BK 11 のメモリセル MC 1 にデータ “1” を書き込む場合には、プレート線 PL 1 に対してビット線 BL 1 が + 極性となる電氣的パルス（たとえばパルス幅 100 ns、振幅  $V_0 = 4V$ ）をビット線 BL 1 とプレート線 PL 1 との間に印加する。これによりメモリブロック BK 11 のメモリセル MC 1 内の可変抵抗 100 には、図 3（a）に示したように、電極 101 に対して電極 102 が + 極性となる電氣的パルスが与えられる。この結果、可変抵抗 100 の抵抗値 R が  $r_2$  となり、メモリブロック BK 11 内のメモリセル MC 1 にデータ “1” が書き込まれたことになる。なお、メモリブロック BK 11 のメモリセル MC 2～MC 4 についてはトランジスタ T1 がオンになっているため、可変抵抗 100 の抵抗値を変化させるだけの電氣的パルスは可変抵抗 100 には印加されない。

#### 【0037】

一方、メモリブロック BK 11 のメモリセル MC 1 にデータ “0” を書き込む場合には、プレート線 PL 1 に対してビット線 BL 1 が - 極性となる電氣的パルス（たとえばパルス幅 100 ns、振幅  $(-V_0) = -4V$ ）をビット線 BL 1 とプレート線 PL 1 との間に印加する。これによりメモリブロック BK 11 のメモリセル MC 1 内の可変抵抗 100 には、図 3（b）に示したように、電極 101 に対して電極 102 が - 極性となる電氣的パルスが与えられる。この結果、可変抵抗 100 の抵抗値 R が  $r_1$  となり、メモリブロック BK 11 内のメモリセル MC 1 にデータ “0” が書き込まれたことになる。なお、メモリブロック BK 11 のメモリセル MC 2～MC 4 についてはトランジスタ T1 がオンになっているため、可変抵抗 100 の抵抗値を変化させるだけの電氣的パルスは可変抵抗 100 には印加されない。

#### 【0038】

＜メモリセルからの情報の読み出し＞

次に、図 1 に示したメモリ LSI 1 の読み出し動作について説明する。ここではメモリブロック BK 11 内のメモリセル MC 1 からデータを読み出す場合を例にして説明する。

#### 【0039】

メモリブロック BK 11 内のメモリセル MC 1 を示すアドレスが外部から与えられる。

#### 【0040】

与えられたアドレスに응答して行デコーダ 10 は、ブロック選択信号線 BS 11 を活性化し、ブロック選択信号線 BS 12, BS 21, BS 22 を不活性化する。また行デコーダ 11 は、ワード線 WL 11 を不活性化し、ワード線 WL 12～WL 14, WL 21～WL 24 を活性化する。これによりトランジスタ T11 がオンになり、トランジスタ T12, T21, T22 がオフになる。また、メモリブロック BK 11 のメモリセル MC 1 内のトランジスタ T1 がオフになり、メモリブロック BK 11 内のメモリセル MC 2～MC 4 内のトランジスタ T1 がオンになる。

#### 【0041】

この状態で列デコーダ 20 は、与えられたアドレスに응答してビット線 BL 1 とプレート線 PL 1 との間に所定の電圧  $V_1$ （たとえば  $V_1 = 1V$ ）を印加する。これにより、（ビット線 BL 1）－（トランジスタ T11）－（メモリブロック BK 11 のメモリセル M

C1内の可変抵抗100) — (メモリブロックBK11のメモリセルMC2内のトランジスタT1) — (メモリブロックBK11のメモリセルMC3内のトランジスタT1) — (メモリブロックBK11のメモリセルMC4内のトランジスタT1) — (プレート線PL1)の経路に電流が流れる。トランジスタT11、メモリブロックBK11のメモリセルMC2~MC4内のトランジスタT1のオン抵抗はほぼ一定であるため、上記経路を流れる電流の電流値は、メモリブロックBK11のメモリセルMC1内の可変抵抗100の抵抗値Rに応じて異なる値となる。たとえば、メモリブロックBK11のメモリセルMC1内の可変抵抗100の抵抗値Rが低抵抗r1のときに上記経路を流れる電流値I1は、可変抵抗100の抵抗値Rが高抵抗r2のときに上記経路を流れる電流値I2よりも大きい。

#### 【0042】

列デコーダ20は、上記経路を流れる電流の値を検出し、これを所定のしきい値Th(たとえば、 $I2 < Th < I1$ )と比較し、比較結果に応じてデータ“0”または“1”を読み出しデータとして外部に出力する。可変抵抗100の抵抗値Rについて低抵抗値r1を“0”、高抵抗値r2を“1”に対応させている場合には、検出された電流値がしきい値Thよりも大きいときにはデータ“0”が読み出しデータとして外部に出力され、しきい値Thよりも小さいときにはデータ“1”が読み出しデータとして外部に出力される。

#### 【0043】

##### <効果>

以上のように第1の実施形態によるメモリLSI1では、メモリブロックBK11, BK12, BK21, BK22に対応させてトランジスタT11, T12, T21, T22を設け、トランジスタT11, T12, T21, T22のうち、アクセスすべきメモリセルを含むメモリブロックに対応するトランジスタをオンにし、それ以外をオフにしている。また、アクセスすべきメモリセル内のトランジスタT1をオンにし、アクセスすべきメモリセル以外のメモリセル内のトランジスタT1をオンにしている。これにより、書き込み時には、アクセスすべきメモリセルに対応するビット線とプレート線との間に印加される電圧がそれ以外のメモリセル(可変抵抗100)に及ぼす影響を低減することができ、再生時には、アクセスすべきメモリセル以外のメモリセル内の可変抵抗による再生信号への影響を低減することができる。この結果、半導体の微細化が進んでも従来のクロスポイント型の記憶素子に比べて記録・再生エラーを少なくすることができる。

#### 【0044】

また、各メモリセルに対してセル選択用のトランジスタを1つ設けている従来の記憶素子と比較して、メモリセルサイズを低減することができ、高密度化による大容量化が実現される。

#### 【0045】

##### <変形例>

なお、ここでは4つのメモリブロックBK11, BK12, BK21, BK22を行および列にマトリクス状に配置した例を示したが、メモリブロックの数は4つには限られない。さらに多くのメモリブロックをマトリクス状に配置してメモリアレイを構成して用いれば、例えばフラッシュメモリや強誘電体メモリなどの従来のメモリに比べて、高速かつ/あるいは大容量のメモリLSIを実現することができる。

#### 【0046】

また、ここではメモリブロックBK11, BK12, BK21, BK22の各々に含まれるメモリセルの個数を4つ(MC1~MC4)としたが、この個数は4個に限定されるものではないことは言うまでもない。

#### 【0047】

また、ここでは図3に示した電氣的パルスによりメモリセル内の可変抵抗100の抵抗値Rを低抵抗状態r1もしくは高抵抗状態r2に変化させ、一方の状態を“0”、他方の状態を“1”に対応させることにより、各メモリセルに1ビットのデジタル記録をさせる例を示したが、与える電氣的パルスのパルス幅およびパルス振幅(パルス電圧)の条件を選

ぶことによりメモリセル内の可変抵抗100の抵抗値Rを、高抵抗状態における最大の抵抗値と低抵抗状態における最小の抵抗値との中間の値に変化させることが可能である。例えば、 $2^n$ 個 ( $n=2,3,4,\dots$ ) の異なる抵抗値を用いて1個のメモリセルにnビットの情報を記録・再生させることによりさらに大容量の記憶素子を実現することが可能である。

#### 【0048】

(第2の実施形態)

<メモリLSIの全体構成>

本発明の第2の実施形態によるメモリLSIの全体構成を図4に示す。このメモリLSI 2は、メモリブロックBK11, BK12, BK21, BK22と、行デコーダ10と、列デコーダ20と、トランジスタT11, T21と、ワード線WL11~WL14, WL21~WL24と、ビット線BL1と、ブロック選択信号線BS11, BS21と、プレート線PL11, PL12, PL21, PL22とを備える。

#### 【0049】

ビット線BL1は、メモリブロックBK11, BK12, BK21, BK22に対応している。

#### 【0050】

プレート線PL11は、メモリブロックBK11に対応して配置されている。プレート線PL12は、メモリブロックBK12に対応して配置されている。プレート線PL21は、メモリブロックBK21に対応して配置されている。プレート線PL22は、メモリブロックBK22に対応して配置されている。

#### 【0051】

トランジスタT11およびメモリブロックBK11は、ビット線BL1上のノードN1とプレート線PL11上のノードN9との間に直列に接続されている。メモリブロックBK12は、トランジスタT11とメモリブロックBK11との相互接続ノードN11とプレート線PL12上のノードN10との間に接続されている。トランジスタT21およびメモリブロックBK21は、ビット線BL1上のノードN3とプレート線PL21上のノードN12との間に直列に接続されている。メモリブロックBK22は、トランジスタT21とメモリブロックBK21との相互接続ノードN21とプレート線PL22上のノードN13との間に接続されている。

#### 【0052】

<メモリブロックBK11, BK12の内部構成>

図4に示したメモリブロックBK11, BK12の内部構成を図5に示す。メモリブロックBK11, BK12は、メモリセルMC1~MC4を含む。メモリブロックBK11のメモリセルMC1~MC4は、ノードN11とプレート線PL11上のノードN9との間に直列に接続されている。メモリブロックBK11のメモリセルMC1~MC4は、電極101がプレート線PL11側に、電極102がノードN11側になるように接続されている。メモリブロックBK12のメモリセルMC1~MC4は、ノードN11とプレート線PL12上のノードN10との間に直列に接続されている。メモリブロックBK12のメモリセルMC1~MC4は、電極102がプレート線PL12側に、電極101がノードN11側になるように接続されている。

#### 【0053】

なお、メモリブロックBK21の内部構成はメモリブロックBK11と同様であり、メモリブロックBK22の内部構成はメモリブロックBK12と同様である。

#### 【0054】

<メモリセルへの情報の書き込み>

次に、図4に示したメモリLSI 2の書き込み動作について説明する。このLSI 2では、メモリブロックBK11, BK12内のメモリセルのうち同じワード線に対応する1対のメモリセル(たとえば、メモリブロックBK11内のメモリセルMC1とメモリブロックBK12内のメモリセルMC1との一対のメモリセル、これらはともにワード線WL11に対応している。)に対して1ビットの情報が記憶される。同様に、メモリブロック

BK 21, BK 22 内のメモリセルのうち同じワード線に対応する 1 対のメモリセル（たとえば、メモリブロック BK 21 内のメモリセル MC 1 とメモリブロック BK 22 内のメモリセル MC 1 との 1 対のメモリセル、これらはともにワード線 WL 21 に対応している。）に対して 1 ビットの情報が記憶される。具体的には、1 対のメモリセルのうち一方の可変抵抗 100 が低抵抗  $r_1$  かつ他方の可変抵抗 100 が高抵抗  $r_2$  の状態を“0”、他方の可変抵抗 100 が高抵抗  $r_2$  かつ一方の可変抵抗が低抵抗  $r_1$  の状態を“1”に対応させることにより、1 対のメモリセルに対して 1 ビットの情報が記憶される。ここでは、メモリブロック BK 11, BK 21 のメモリセル内の可変抵抗 100 が低抵抗  $r_1$  かつメモリブロック BK 12, BK 22 のメモリセル内の可変抵抗 100 が高抵抗  $r_2$  の状態を“0”、メモリブロック BK 11, BK 21 のメモリセル内の可変抵抗 100 が高抵抗  $r_2$  かつメモリブロック BK 12, BK 22 のメモリセル内の可変抵抗 100 が低抵抗  $r_1$  の状態を“1”に対応させるものとし、メモリブロック BK 11 内のメモリセル MC 1 とメモリブロック BK 12 内のメモリセル MC 1 との 1 対のメモリセルに情報を書き込む場合を例にして説明する。

#### 【0055】

メモリブロック BK 11 内のメモリセル MC 1 とメモリブロック BK 12 内のメモリセル MC 1 との 1 対のメモリセルを示すアドレスと、当該 1 対のメモリセルに書き込むべきデータとが外部から与えられる。

#### 【0056】

与えられたアドレスに応答して行デコーダ 10 は、ブロック選択信号線 BS 11 を活性化し、ブロック選択信号線 BS 21 を不活性化する。また行デコーダ 11 は、ワード線 WL 11 を不活性化し、ワード線 WL 12 ~ WL 14, WL 21 ~ WL 24 を活性化する。これによりトランジスタ T 11 がオンになり、トランジスタ T 21 がオフになる。また、メモリブロック BK 11, BK 12 のメモリセル MC 1 内のトランジスタ T 1 がオフになり、メモリブロック BK 11, BK 12 のメモリセル MC 2 ~ MC 4 内のトランジスタ T 1 がオンになる。

#### 【0057】

この状態で列デコーダ 20 は、与えられたアドレスに応答してビット線 BL 1 とプレート線 PL 11, PL 12 との間に電氣的パルスを印加する。列デコーダ 20 は、書き込むべきデータに応じた極性の電氣的パルスを印加する。

#### 【0058】

メモリブロック BK 11 内のメモリセル MC 1 とメモリブロック BK 12 内のメモリセル MC 1 との 1 対のメモリセルにデータ“1”を書き込む場合には、図 6 に示すように、プレート線 PL 11, PL 12 に対してビット線 BL 1 が+極性となる電氣的パルス（たとえばパルス幅 100 ns、振幅  $V_0 = 4V$ ）をビット線 BL 1 とプレート線 PL 11, PL 12 との間に印加する。これによりメモリブロック BK 11 のメモリセル MC 1 内の可変抵抗 100 には、図 6 (a) に示すように、電極 101 に対して電極 102 が+極性となる電氣的パルスが与えられ、可変抵抗 100 の抵抗値  $R$  が  $r_2$  となる。一方、メモリブロック BK 12 のメモリセル MC 1 内の可変抵抗 100 には、図 6 (b) に示すように、電極 101 に対して電極 102 が-極性となる電氣的パルスが与えられ、可変抵抗 100 の抵抗値  $R$  が  $r_1$  となる。この結果、メモリブロック BK 11 のメモリセル MC 1 内の可変抵抗 100 が高抵抗  $r_2$  かつメモリブロック BK 12 のメモリセル MC 1 内の可変抵抗 100 が低抵抗  $r_1$  の状態となり、メモリブロック BK 11 内のメモリセル MC 1 とメモリブロック BK 12 内のメモリセル MC 1 との 1 対のメモリセルにデータ“1”が書き込まれたことになる。

#### 【0059】

一方、メモリブロック BK 11 内のメモリセル MC 1 とメモリブロック BK 12 内のメモリセル MC 1 との 1 対のメモリセルにデータ“0”を書き込む場合には、プレート線 PL 11, PL 12 に対してビット線 BL 1 が-極性となる電氣的パルス（たとえばパルス幅 100 ns、振幅  $(-V_0) = -4V$ ）をビット線 BL 1 とプレート線 PL 11, PL

12との間に印加する。これによりメモリブロックBK11のメモリセルMC1内の可変抵抗100には、電極101に対して電極102が一極性となる電氣的パルスが与えられ、可変抵抗100の抵抗値Rが $r_1$ となる。一方、メモリブロックBK12のメモリセルMC1内の可変抵抗100には、電極101に対して電極102が+極性となる電氣的パルスが与えられ、可変抵抗100の抵抗値Rが $r_2$ となる。この結果、メモリブロックBK11のメモリセルMC1内の可変抵抗100が低抵抗 $r_1$ かつメモリブロックBK12のメモリセルMC1内の可変抵抗100が高抵抗 $r_2$ の状態となり、メモリブロックBK11内のメモリセルMC1とメモリブロックBK12内のメモリセルMC1との1対のメモリセルにデータ“0”が書き込まれたことになる。

#### 【0060】

＜メモリセルからの情報の読み出し＞

次に、図4に示したメモリLSI2の読み出し動作について説明する。ここでは、メモリブロックBK11、BK21のメモリセル内の可変抵抗100が低抵抗 $r_1$ かつメモリブロックBK12、BK22のメモリセル内の可変抵抗100が高抵抗 $r_2$ の状態を“0”、メモリブロックBK11、BK21のメモリセル内の可変抵抗100が高抵抗 $r_2$ かつメモリブロックBK12、BK22のメモリセル内の可変抵抗100が低抵抗 $r_1$ の状態を“1”に対応させるものとし、メモリブロックBK11内のメモリセルMC1とメモリブロックBK12内のメモリセルMC1との1対のメモリセルからデータを読み出す場合を例にして説明する。

#### 【0061】

メモリブロックBK11内のメモリセルMC1とメモリブロックBK12内のメモリセルMC1との1対のメモリセルを示すアドレスが外部から与えられる。

#### 【0062】

与えられたアドレスに応答して行デコーダ10は、ブロック選択信号線BS11を活性化し、ブロック選択信号線BS21を不活性化する。また行デコーダ11は、ワード線WL11を不活性化し、ワード線WL12～WL14、WL21～WL24を活性化する。これによりトランジスタT11がオンになり、トランジスタT21がオフになる。また、メモリブロックBK11、BK12のメモリセルMC1内のトランジスタT1がオフになり、メモリブロックBK11、BK12のメモリセルMC2～MC4内のトランジスタT1がオンになる。

#### 【0063】

この状態で列デコーダ20は、図7に示すように、与えられたアドレスに応答してプレート線PL11とプレート線PL12との間に所定の電圧V1を印加する。そして列デコーダ20は、ビット線BL1の電圧Voutを検出し、これを所定のしきい値Thと比較し、比較結果に応じてデータ“0”または“1”を読み出しデータとして外部に出力する。トランジスタT11、メモリブロックBK11、BK12のメモリセルMC2～MC4内のトランジスタT1のオン抵抗はほぼ一定であるため、ビット線BL1の電圧Voutは、メモリブロックBK11、BK12のメモリセルMC1内の可変抵抗100の抵抗値Rに応じて異なる値となる。図8(a)に示すように、メモリブロックBK11のメモリセルMC1内の可変抵抗100が低抵抗 $r_1$ かつメモリブロックBK12のメモリセルMC1内の可変抵抗100が高抵抗 $r_2$ の状態の場合、ビット線BL1の電圧Vout1が検出される。この電圧Vout1はしきい値Thよりも大きいため、列デコーダ20は、データ“0”を読み出しデータとして外部に出力する。一方、図8(b)に示すように、メモリブロックBK11のメモリセルMC1内の可変抵抗100が高抵抗 $r_2$ かつメモリブロックBK12のメモリセルMC1内の可変抵抗100が低抵抗 $r_1$ の状態の場合、ビット線BL1の電圧Vout2が検出される。この電圧Vout2はしきい値Thよりも小さいため、列デコーダ20は、データ“1”を読み出しデータとして外部に出力する。

#### 【0064】

＜効果＞

以上のように第2の実施形態によるメモリLSI2では、1対のメモリセルに対して1



ビットの情報が記憶されるため、第1の実施形態に示したメモリLSIと比較して記録・再生時のエラーをさらに低減することができる。

#### 【0065】

##### <変形例>

なお、ここでは4つのメモリブロックBK11, BK12, BK21, BK22を行および列にマトリクス状に配置した例を示したが、メモリブロックの数は4つには限られない。

#### 【0066】

また、ここではメモリブロックBK11, BK12, BK21, BK22の各々に含まれるメモリセルの個数を4つ(MC1~MC4)としたが、この個数は4個に限定されるものではないことは言うまでもない。

#### 【0067】

また、ここでは1対のメモリセルのうち一方の可変抵抗100が低抵抗 $r_1$ かつ他方の可変抵抗100が高抵抗 $r_2$ の状態を"0"、他方の可変抵抗100が高抵抗 $r_2$ かつ一方の可変抵抗が低抵抗 $r_1$ の状態を"1"に対応させることにより、1対のメモリセルに対して1ビットの情報を記憶させる例を示したが、与える電気的パルスのパルス幅およびパルス振幅(パルス電圧)の条件を選ぶことによりメモリセル内の可変抵抗100の抵抗値Rを、高抵抗状態における最大の抵抗値と低抵抗状態における最小の抵抗値との中間の値に変化させることが可能である。例えば、 $2^n$ 個( $n=2,3,4,\dots$ )の異なる抵抗値を用いて1対のメモリセルに $n$ ビットの情報を記録・再生させることによりさらに大容量の記憶素子を実現することが可能である。

#### 【0068】

##### (第3の実施形態)

##### <メモリLSIの全体構成>

本発明の第3の実施形態によるメモリLSIの全体構成を図9に示す。このメモリLSI 3は、メモリブロックBK11, BK12, BK21, BK22と、行デコーダ10と、列デコーダ20と、トランジスタT11, T12, T21, T22と、ワード線WL11~WL14, WL21~WL24と、ビット線BL1, BL2と、ブロック選択信号線BS11, BS21と、プレート線PL1, PL2とを備える。

#### 【0069】

トランジスタT11およびメモリブロックBK11は、ビット線BL1上のノードN1とプレート線PL1上のノードN5との間に直列に接続されている。トランジスタT12およびメモリブロックBK12は、ビット線BL2上のノードN2とプレート線PL1上のノードN6との間に直列に接続されている。トランジスタT11, T12のゲートはともにブロック選択信号線BS11に接続されている。トランジスタT21およびメモリブロックBK21は、ビット線BL1上のノードN3とプレート線PL2上のノードN7との間に直列に接続されている。トランジスタT22およびメモリブロックBK22は、ビット線BL2上のノードN4とプレート線PL2上のノードN8との間に直列に接続されている。トランジスタT21, T22のゲートはともにブロック選択信号線BS21に接続されている。

#### 【0070】

##### <メモリブロックBK11, BK12の内部構成>

図9に示したメモリブロックBK11, BK12の内部構成を図10に示す。メモリブロックBK11, BK12は、メモリセルMC1~MC4を含む。メモリブロックBK11のメモリセルMC1~MC4は、トランジスタT11とプレート線PL1上のノードN5との間に直列に接続されている。メモリブロックBK11のメモリセルMC1~MC4は、電極101がプレート線PL1側に、電極102がトランジスタT11側になるように接続されている。メモリブロックBK12のメモリセルMC1~MC4は、トランジスタT12とプレート線PL1上のノードN6との間に直列に接続されている。メモリブロックBK12のメモリセルMC1~MC4は、電極101がプレート線PL1側に、電極

102 がトランジスタ T12 側になるように接続されている。

【0071】

なお、メモリブロック BK21 の内部構成はメモリブロック BK11 と同様であり、メモリブロック BK22 の内部構成はメモリブロック BK12 と同様である。

【0072】

＜メモリセルへの情報の書き込み＞

次に、図9に示したメモリLSI3の書き込み動作について説明する。このLSI3では、第2の実施形態と同様に、メモリブロックBK11、BK12内のメモリセルのうち同じワード線に対応する1対のメモリセル（たとえば、メモリブロックBK11内のメモリセルMC1とメモリブロックBK12内のメモリセルMC1との一対のメモリセル、これらはともにワード線WL11に対応している。）に対して1ビットの情報が記憶される。同様に、メモリブロックBK21、BK22内のメモリセルのうち同じワード線に対応する1対のメモリセル（たとえば、メモリブロックBK21内のメモリセルMC1とメモリブロックBK22内のメモリセルMC1との一対のメモリセル、これらはともにワード線WL21に対応している。）に対して1ビットの情報が記憶される。具体的には、1対のメモリセルのうち一方の可変抵抗100が低抵抗 $r_1$ かつ他方の可変抵抗100が高抵抗 $r_2$ の状態を“0”、他方の可変抵抗100が高抵抗 $r_2$ かつ一方の可変抵抗が低抵抗 $r_1$ の状態を“1”に対応させることにより、1対のメモリセルに対して1ビットの情報が記憶される。ここでは、メモリブロックBK11、BK21のメモリセル内の可変抵抗100が低抵抗 $r_1$ かつメモリブロックBK12、BK22のメモリセル内の可変抵抗100が高抵抗 $r_2$ の状態を“0”、メモリブロックBK11、BK21のメモリセル内の可変抵抗100が高抵抗 $r_2$ かつメモリブロックBK12、BK22のメモリセル内の可変抵抗100が低抵抗 $r_1$ の状態を“1”に対応させるものとし、メモリブロックBK11内のメモリセルMC1とメモリブロックBK12内のメモリセルMC1との1対のメモリセルに情報を書き込む場合を例にして説明する。

【0073】

メモリブロックBK11内のメモリセルMC1とメモリブロックBK12内のメモリセルMC1との1対のメモリセルを示すアドレスと、当該1対のメモリセルに書き込むべきデータとが外部から与えられる。

【0074】

与えられたアドレスに応答して行デコーダ10は、ブロック選択信号線BS11を活性化し、ブロック選択信号線BS21を不活性化する。また行デコーダ11は、ワード線WL11を不活性化し、ワード線WL12～WL14、WL21～WL24を活性化する。これによりトランジスタT11、T12がオンになり、トランジスタT21、T22がオフになる。また、メモリブロックBK11、BK12のメモリセルMC1内のトランジスタT1がオフになり、メモリブロックBK11、BK12のメモリセルMC2～MC4内のトランジスタT1がオンになる。

【0075】

この状態で列デコーダ20は、与えられたアドレスに応答してビット線BL1、BL2およびプレート線PL1の各々に書き込みデータに応じた極性の電氣的パルスを印加する。

【0076】

メモリブロックBK11内のメモリセルMC1とメモリブロックBK12内のメモリセルMC1との1対のメモリセルにデータ“1”を書き込む場合には、図11に示すような電氣的パルスがビット線BL1、BL2およびプレート線PL1の各々に印加される。これによりメモリブロックBK11のメモリセルMC1内の可変抵抗100には、電極101に対して電極102が+極性となる電氣的パルスが与えられ、図12(a)に示すように可変抵抗100の抵抗値Rが $r_2$ となる。一方、メモリブロックBK12のメモリセルMC1内の可変抵抗100には、電極101に対して電極102が一極性となる電氣的パルスが与えられ、図12(b)に示すように可変抵抗100の抵抗値Rが $r_1$ となる。こ

の結果、メモリブロックBK11のメモリセルMC1内の可変抵抗100が高抵抗r2かつメモリブロックBK12のメモリセルMC1内の可変抵抗100が低抵抗r1の状態となり、メモリブロックBK11内のメモリセルMC1とメモリブロックBK12内のメモリセルMC1との1対のメモリセルにデータ“1”が書き込まれたことになる。

#### 【0077】

一方、メモリブロックBK11内のメモリセルMC1とメモリブロックBK12内のメモリセルMC1との1対のメモリセルにデータ“0”を書き込む場合には、図11に示した電氣的パルスのうちビット線BL1に印加されるパルスとビット線BL2に印加されるパルスとを入れ替える。これによりメモリブロックBK11のメモリセルMC1内の可変抵抗100には、電極101に対して電極102が一極性となる電氣的パルスが与えられ、可変抵抗100の抵抗値Rがr1となる。一方、メモリブロックBK12のメモリセルMC1内の可変抵抗100には、電極101に対して電極102が+極性となる電氣的パルスが与えられ、可変抵抗100の抵抗値Rがr2となる。この結果、メモリブロックBK11のメモリセルMC1内の可変抵抗100が低抵抗r1かつメモリブロックBK12のメモリセルMC1内の可変抵抗100が高抵抗r2の状態となり、メモリブロックBK11内のメモリセルMC1とメモリブロックBK12内のメモリセルMC1との1対のメモリセルにデータ“0”が書き込まれたことになる。

#### 【0078】

＜メモリセルからの情報の読み出し＞

次に、図9に示したメモリLSI3の読み出し動作について説明する。ここでは、メモリブロックBK11、BK21のメモリセル内の可変抵抗100が低抵抗r1かつメモリブロックBK12、BK22のメモリセル内の可変抵抗100が高抵抗r2の状態を“0”、メモリブロックBK11、BK21のメモリセル内の可変抵抗100が高抵抗r2かつメモリブロックBK12、BK22のメモリセル内の可変抵抗100が低抵抗r1の状態を“1”に対応させるものとし、メモリブロックBK11内のメモリセルMC1とメモリブロックBK12内のメモリセルMC1との1対のメモリセルからデータを読み出す場合を例にして説明する。

#### 【0079】

メモリブロックBK11内のメモリセルMC1とメモリブロックBK12内のメモリセルMC1との1対のメモリセルを示すアドレスが外部から与えられる。

#### 【0080】

与えられたアドレスに応答して行デコーダ10は、ブロック選択信号線BS11を活性化し、ブロック選択信号線BS21を不活性化する。また行デコーダ11は、ワード線WL11を不活性化し、ワード線WL12～WL14、WL21～WL24を活性化する。これによりトランジスタT11、T12がオンになり、トランジスタT21、T22がオフになる。また、メモリブロックBK11、BK12のメモリセルMC1内のトランジスタT1がオフになり、メモリブロックBK11、BK12のメモリセルMC2～MC4内のトランジスタT1がオンになる。

#### 【0081】

この状態で列デコーダ20は、与えられたアドレスに응答してビット線BL1とビット線BL2との間に所定の電圧V1を印加する。そして列デコーダ20は、プレート線PL1の電圧Voutを検出し、これを所定のしきい値Thと比較し、比較結果に応じてデータ“0”または“1”を読み出しデータとして外部に出力する。トランジスタT11、メモリブロックBK11、BK12のメモリセルMC2～MC4内のトランジスタT1のオン抵抗はほぼ一定であるため、プレート線PL1の電圧Voutは、メモリブロックBK11、BK12のメモリセルMC1内の可変抵抗100の抵抗値Rに応じて異なる値となる。図13(a)に示すように、メモリブロックBK11のメモリセルMC1内の可変抵抗100が低抵抗r1かつメモリブロックBK12のメモリセルMC1内の可変抵抗100が高抵抗r2の状態の場合、プレート線PL1の電圧Vout1が検出される。この電圧Vout1はしきい値Thよりも大きいため、列デコーダ20は、データ“0”を読み

出しデータとして外部に出力する。一方、図13(b)に示すように、メモリブロックBK11のメモリセルMC1内の可変抵抗100が高抵抗 $r_2$ かつメモリブロックBK12のメモリセルMC1内の可変抵抗100が低抵抗 $r_1$ の状態の場合、プレート線PL1の電圧 $V_{out2}$ が検出される。この電圧 $V_{out2}$ はしきい値 $T_h$ よりも小さいため、列デコーダ20は、データ“1”を読み出しデータとして外部に出力する。

#### 【0082】

##### <効果>

以上のように第3の実施形態によるメモリLSI3では、1対のメモリセルに対して1ビットの情報が記憶されるため、第1の実施形態に示したメモリLSI1と比較して記録・再生時のエラーをさらに低減することができる。

#### 【0083】

##### <変形例>

なお、ここでは4つのメモリブロックBK11, BK12, BK21, BK22を行および列にマトリクス状に配置した例を示したが、メモリブロックの数は4つには限られない。

#### 【0084】

また、ここではメモリブロックBK11, BK12, BK21, BK22の各々に含まれるメモリセルの個数を4つ(MC1~MC4)としたが、この個数は4個に限定されるものではないことは言うまでもない。

#### 【0085】

また、ここでは1対のメモリセルのうち一方の可変抵抗100が低抵抗 $r_1$ かつ他方の可変抵抗100が高抵抗 $r_2$ の状態を“0”、他方の可変抵抗100が高抵抗 $r_2$ かつ一方の可変抵抗が低抵抗 $r_1$ の状態を“1”に対応させることにより、1対のメモリセルに対して1ビットの情報を記憶させる例を示したが、与える電氣的パルスのパルス幅およびパルス振幅(パルス電圧)の条件を選ぶことによりメモリセル内の可変抵抗100の抵抗値 $R$ を、高抵抗状態における最大の抵抗値と低抵抗状態における最小の抵抗値との中間の値に変化させることが可能である。例えば、 $2^n$ 個( $n=2,3,4,\dots$ )の異なる抵抗値を用いて1対のメモリセルに $n$ ビットの情報を記録・再生させることによりさらに大容量の記憶素子を実現することが可能である。

#### 【0086】

##### (第4の実施形態)

本発明の第4の実施形態によるシステムLSI(Embedded-RAM)4の構成を図14に示す。このシステムLSI4では、メモリ回路30とロジック回路40とが1チップ上に構成されている。このシステムLSI4は、メモリ回路30をデータRAMとして使用するものである。メモリ回路30は、第1から第3の実施形態で説明したメモリLSI1, 2, 3のいずれか1つと同様の構成および動作を有する。

#### 【0087】

メモリ回路30にデータを書き込む場合、ロジック回路40は、メモリ回路30の動作モードを記憶モードにする。次にロジック回路40は、データを記憶すべきメモリセルのアドレスを示す信号をメモリ回路30に出力する。次にロジック回路40は、書き込むべきデータをメモリ回路30に出力する。次にメモリ回路30において、第1~第3の実施形態のいずれかにおいて説明したのと同様の動作が行われ、ロジック回路40が出力したデータがメモリ回路30のメモリセルに書き込まれる。

#### 【0088】

一方、メモリ回路30のメモリセルに書き込まれたデータを読み出す場合、ロジック回路40は、メモリ回路30の動作モードを再生モードにする。次にロジック回路40は、データを読み出したいメモリセルのアドレスを示す信号をメモリ回路30に出力する。次にメモリ回路30において、第1~第3の実施形態において説明したのと同様の動作が行われ、選択したメモリセルに記憶されているデータが読み出されてロジック回路40に出力される。

**【0089】****(第5の実施形態)**

本発明の第5の実施形態によるシステムLSI (reconfigurable LSI) 5の構成を図15に示す。このシステムLSI 5は、メモリ回路50と、プロセッサ60と、インターフェイス70を備える。このシステムLSI 5では、メモリ回路50をプログラムROMとして使用する。メモリ回路50は、第1から第3の実施形態で説明したメモリLSI 1, 2, 3のいずれか1つと同様の構成および動作を有する。メモリ回路50には、プロセッサ60の動作に必要なプログラムが記憶される。プロセッサ60は、メモリ回路50およびインターフェイス70を制御するとともに、メモリ回路50に記憶されているプログラムPmを読み出しこれに応じた処理を行う。インターフェイス70は、外部から入力されたプログラムPinをメモリ回路50に出力する。

**【0090】**

メモリ回路50に外部からのプログラムPinを書き込む場合、プロセッサ60は、メモリ回路50の動作モードを記憶モードにするとともにプログラムPinを書き込むべきメモリセルのアドレスを示す信号をメモリ回路50に出力する。次にインターフェイス70は、外部から入力されたプログラムPinを入力し、入力したプログラムPinをメモリ回路50に出力する。次にメモリ回路50において、第1～第3の実施形態のいずれか1つにおいて説明したのと同様の動作が行われ、インターフェイス70からのプログラムPinがメモリセルに書き込まれる。

**【0091】**

一方、メモリ回路50に書き込まれたプログラムPmを読み出す場合、プロセッサ60は、メモリ回路50の動作モードを再生モードにするとともにプログラムPmを読み出したいメモリセルのアドレスを示す信号をメモリ回路50に出力する。次にメモリ回路50において、第1～第3の実施形態のいずれか1つにおいて説明したのと同様の動作が行われ、選択したメモリセルが記憶しているプログラムPmがプロセッサ60に出力される。プロセッサ60は、入力したプログラムPmに基づいて動作を行う。

**【0092】**

メモリ回路50は書き換え可能な不揮発性メモリであるため、記憶するプログラムの内容を書き換えることが可能である。これにより、プロセッサ60において実現される機能を代えることができる。また、複数のプログラムをメモリ回路50に記憶しておき、読み出すプログラムに応じてプロセッサ60で実現される機能を代えることもできる。

**【0093】**

以上のように第5の実施形態によれば、1つのLSIで異なる機能を実現することが可能(いわゆるre-configurable)となる。

**【産業上の利用可能性】****【0094】**

本発明のメモリ回路は、例えばフラッシュメモリや強誘電体メモリなどの従来のメモリに比べて、高速/大容量のメモリとして利用可能である。

**【図面の簡単な説明】****【0095】**

**【図1】** 本発明の第1の実施形態によるメモリLSIの全体構成を示すブロック図である。

**【図2】** 図1に示したメモリブロックの内部構成を示す図である。

**【図3】** 各メモリセルに含まれている可変抵抗の特性を示す図である。

**【図4】** 本発明の第2の実施形態によるメモリLSIの全体構成を示すブロック図である。

**【図5】** 図4に示したメモリブロックの内部構成を示す図である。

**【図6】** 図4に示したメモリLSIの書き込み動作を説明するための図である。

**【図7】** 図4に示したメモリLSIの読み出し動作を説明するための図である。

**【図8】** 図4に示したメモリLSIの読み出し動作を説明するための図である。

【図 9】本発明の第 3 の実施形態によるメモリ L S I の全体構成を示すブロック図である。

【図 10】図 9 に示したメモリブロックの内部構成を示す図である。

【図 11】図 9 に示したメモリ L S I の書き込み動作を説明するための図である。

【図 12】図 9 に示したメモリ L S I の書き込み動作を説明するための図である。

【図 13】図 9 に示したメモリ L S I の読み出し動作を説明するための図である。

【図 14】本発明の第 4 の実施形態によるシステム L S I の構成を示すブロック図である。

【図 15】本発明の第 5 の実施形態によるシステム L S I の構成を示すブロック図である。

【図 16】抵抗変化材料を用いて構成されたメモリセルの一例を示す図である。

【図 17】図 14 に示したメモリセルを用いて構成されたメモリ回路の一例を示す図である。

【図 18】クロスポイント構造のメモリ回路の一例を示す図である。

【符号の説明】

【0096】

BK 11, BK 12, BK 21, BK 22   メモリブロック

T 11, T 12, T 21, T 22   トランジスタ (ブロック選択トランジスタ)

WL 11~WL 14, WL 21~WL 24   ワード線

BL 1, BL 2   ビット線

BS 11, BS 12, BS 21, BS 22   ブロック選択信号線

PL 1, PL 2, PL 11, PL 12, PL 21, PL 22   プレート線

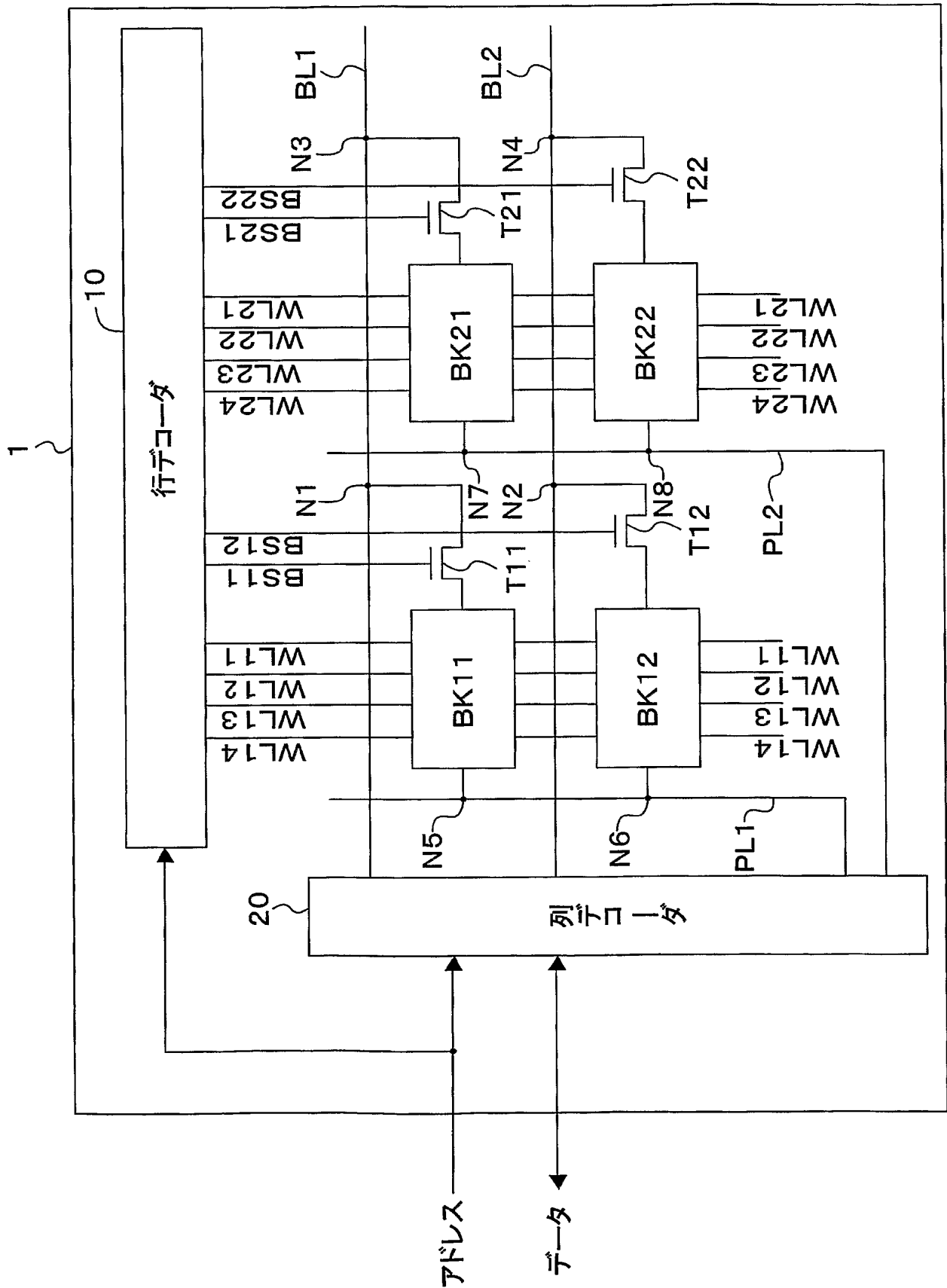
MC 1~MC 4   メモリセル

100   可変抵抗

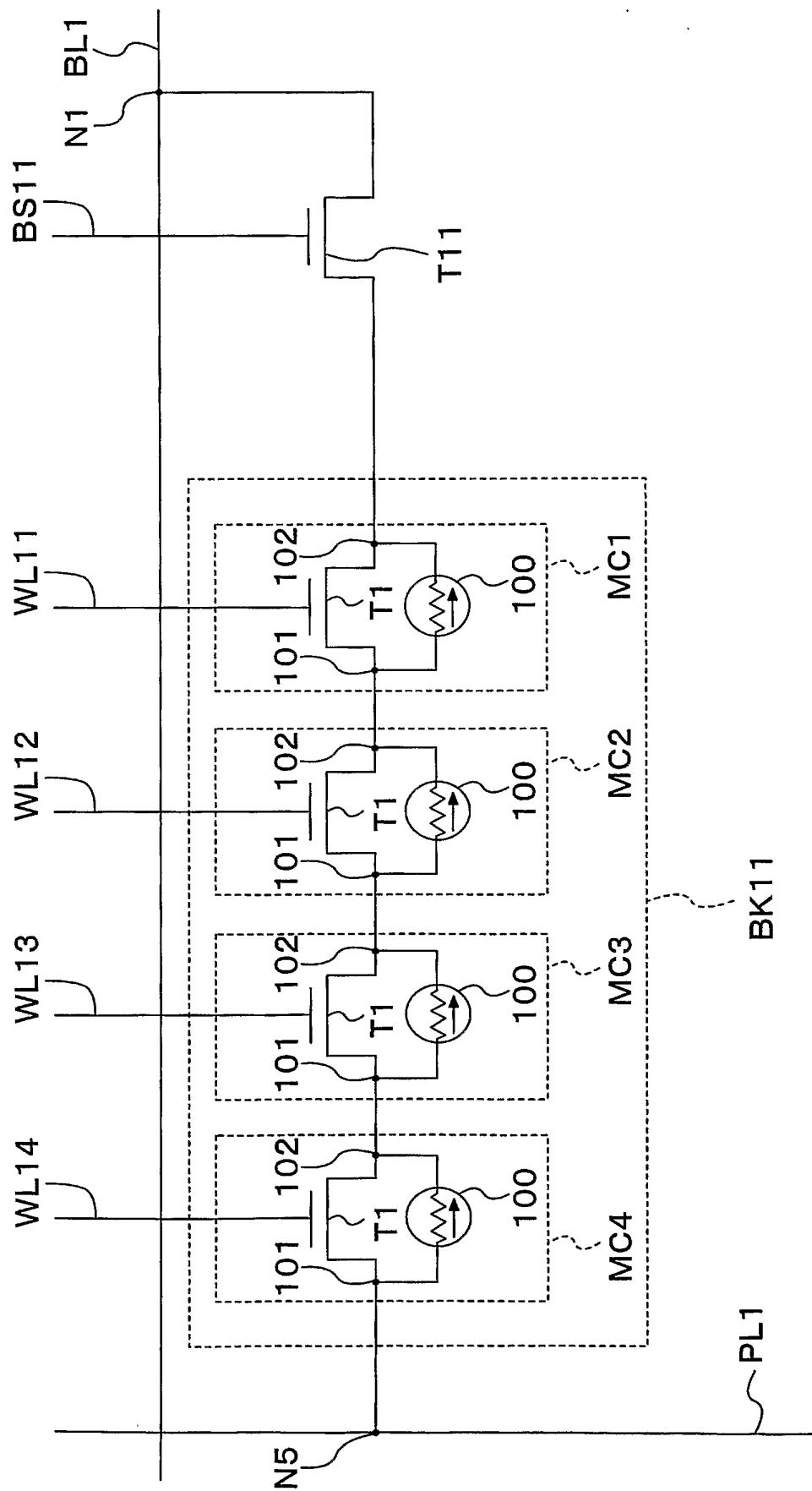
101, 102   電極

T 1   トランジスタ

【書類名】 図面  
【図 1】



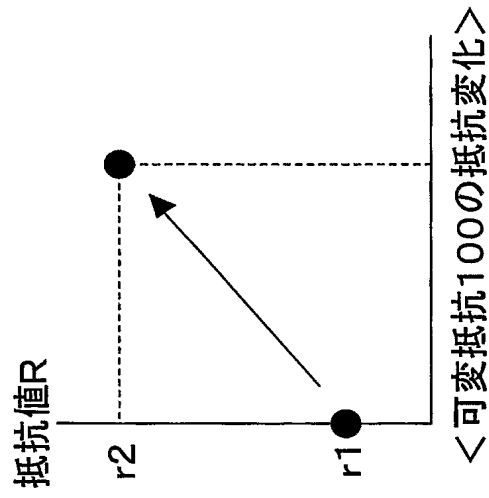
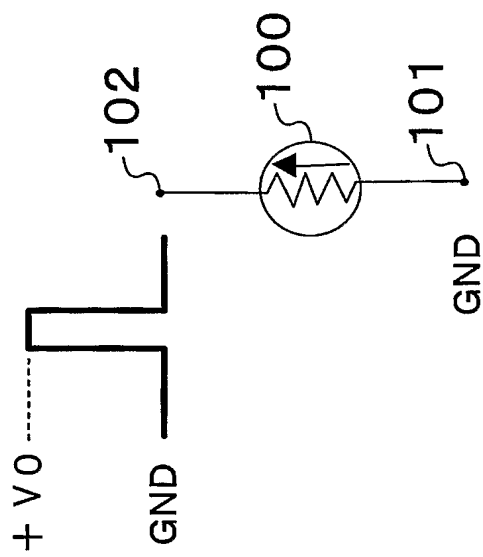
【図 2】



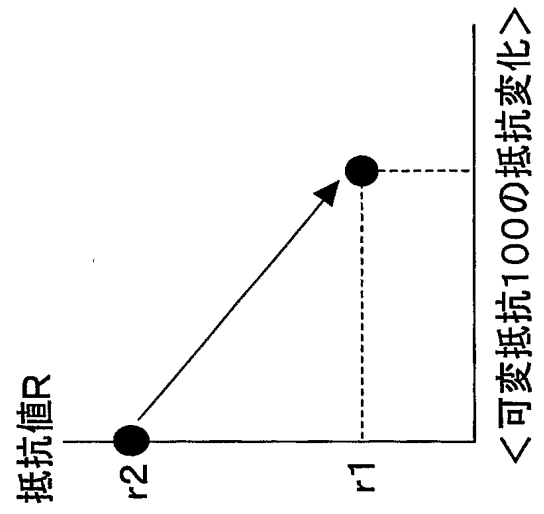
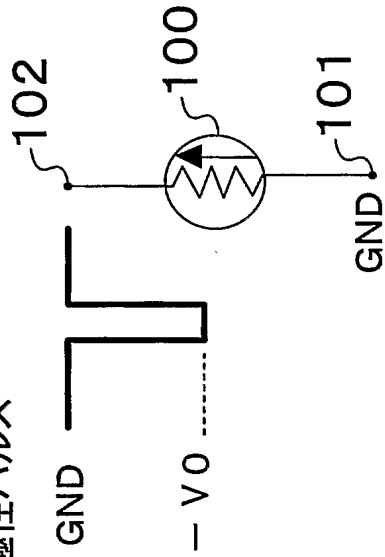


【図 3】

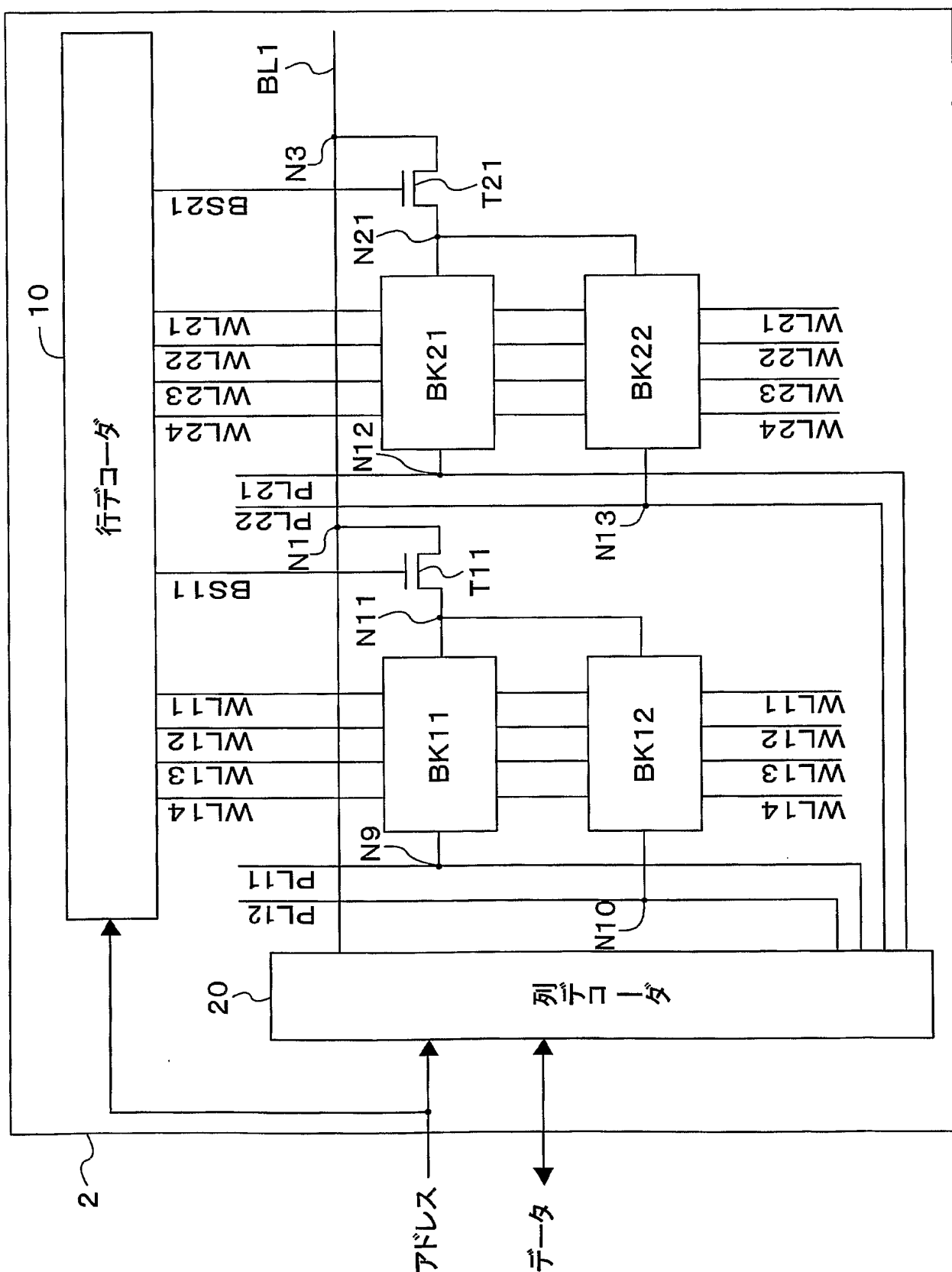
(a) + 極性パルス



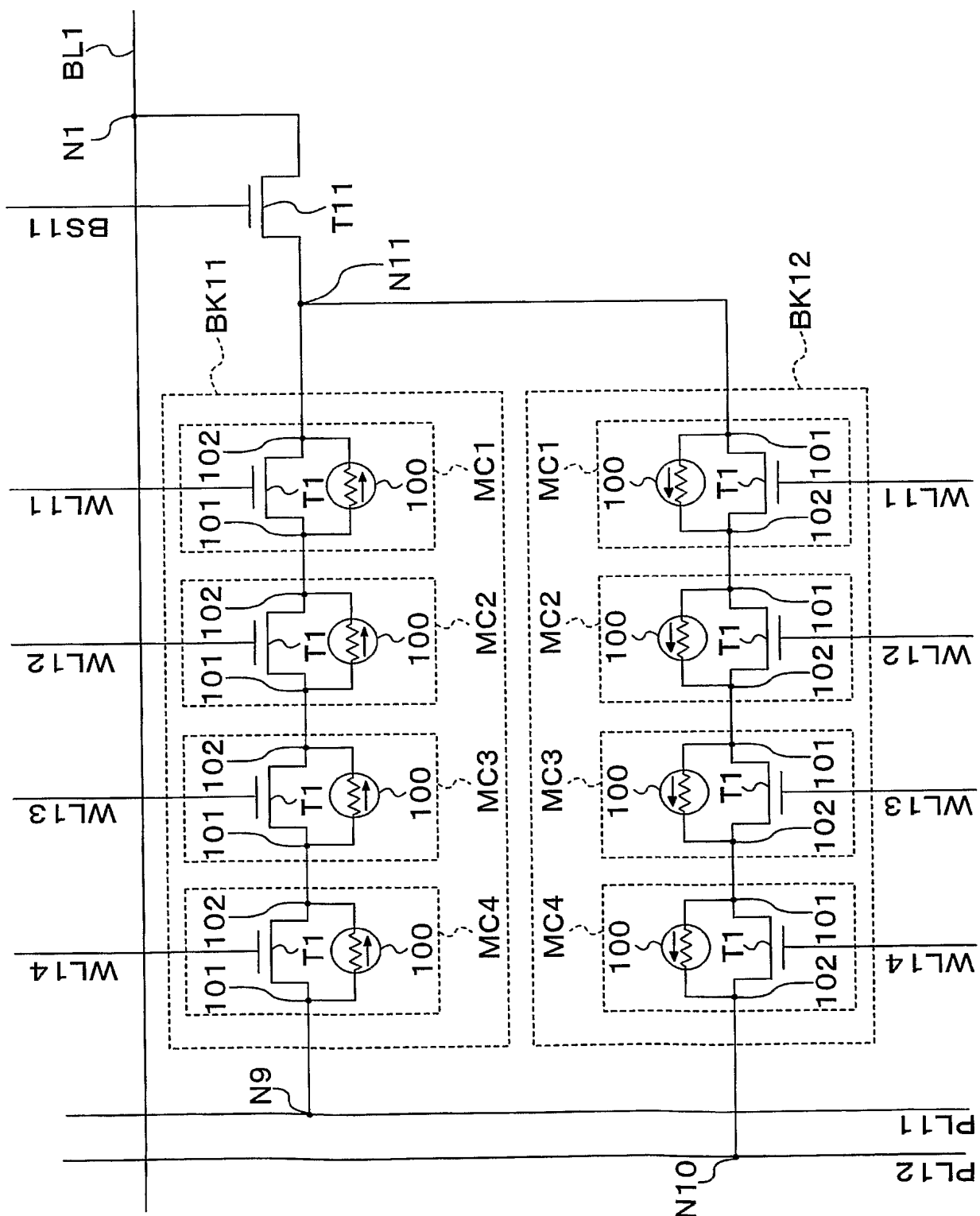
(b) - 極性パルス



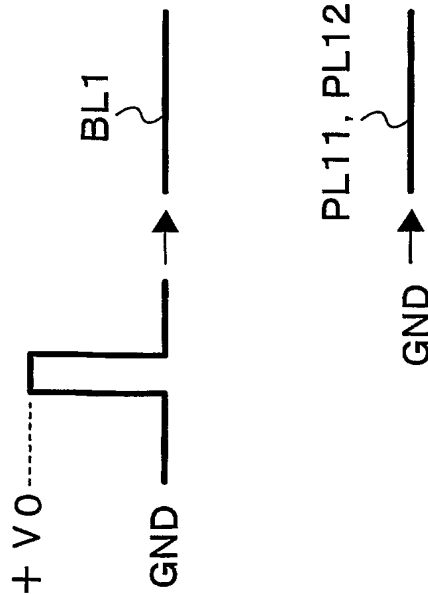
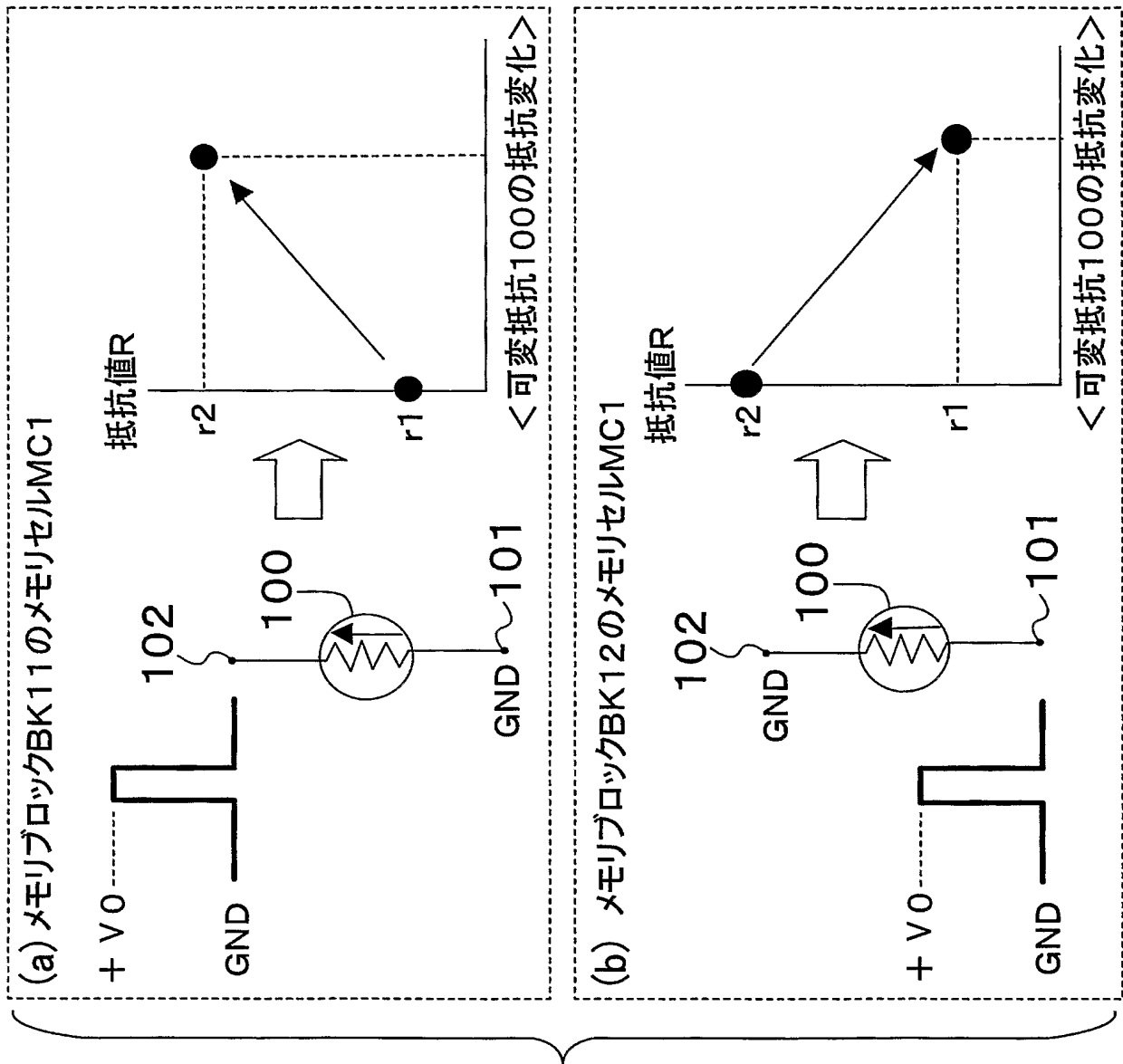
【図 4】



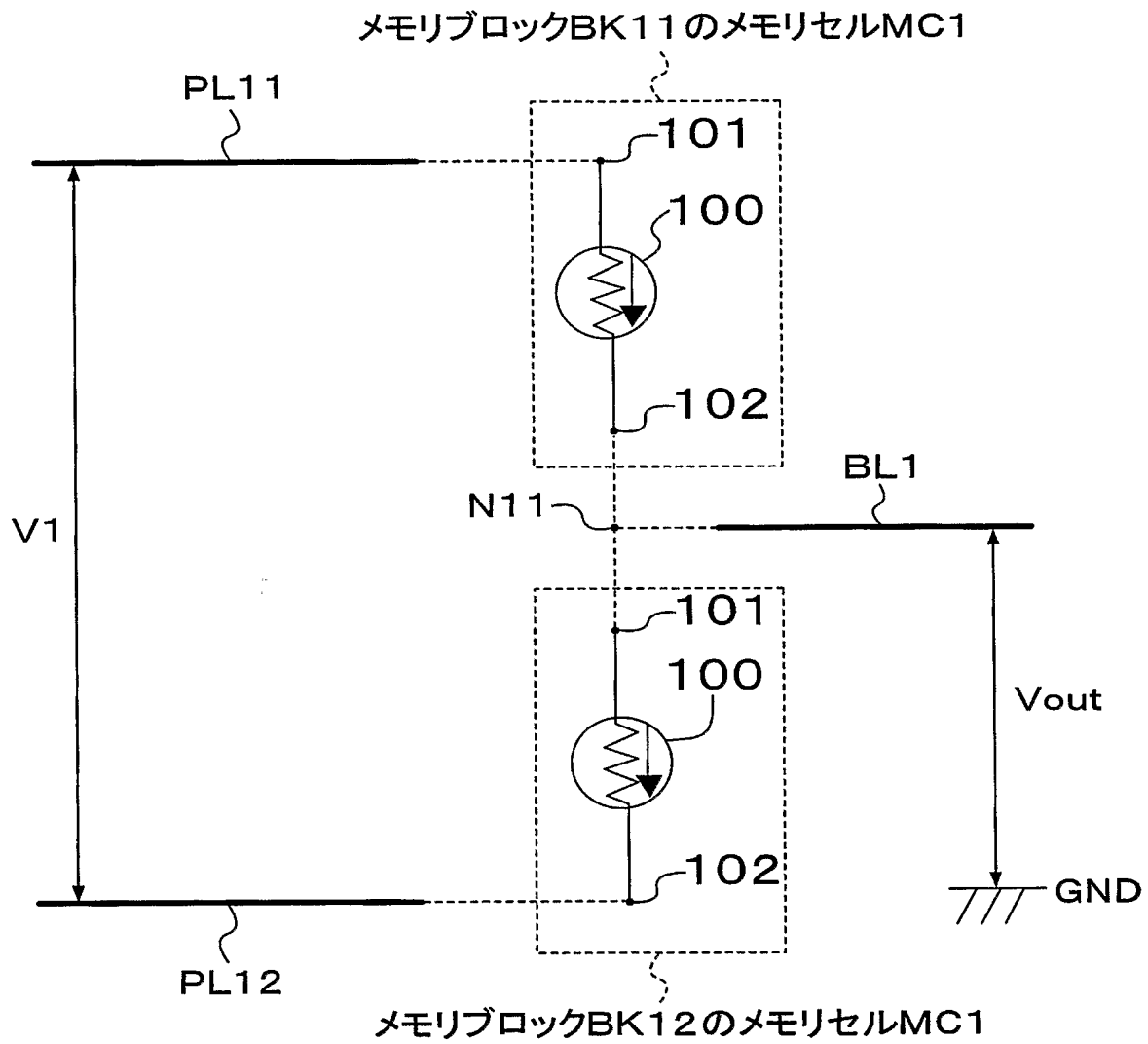
【図 5】



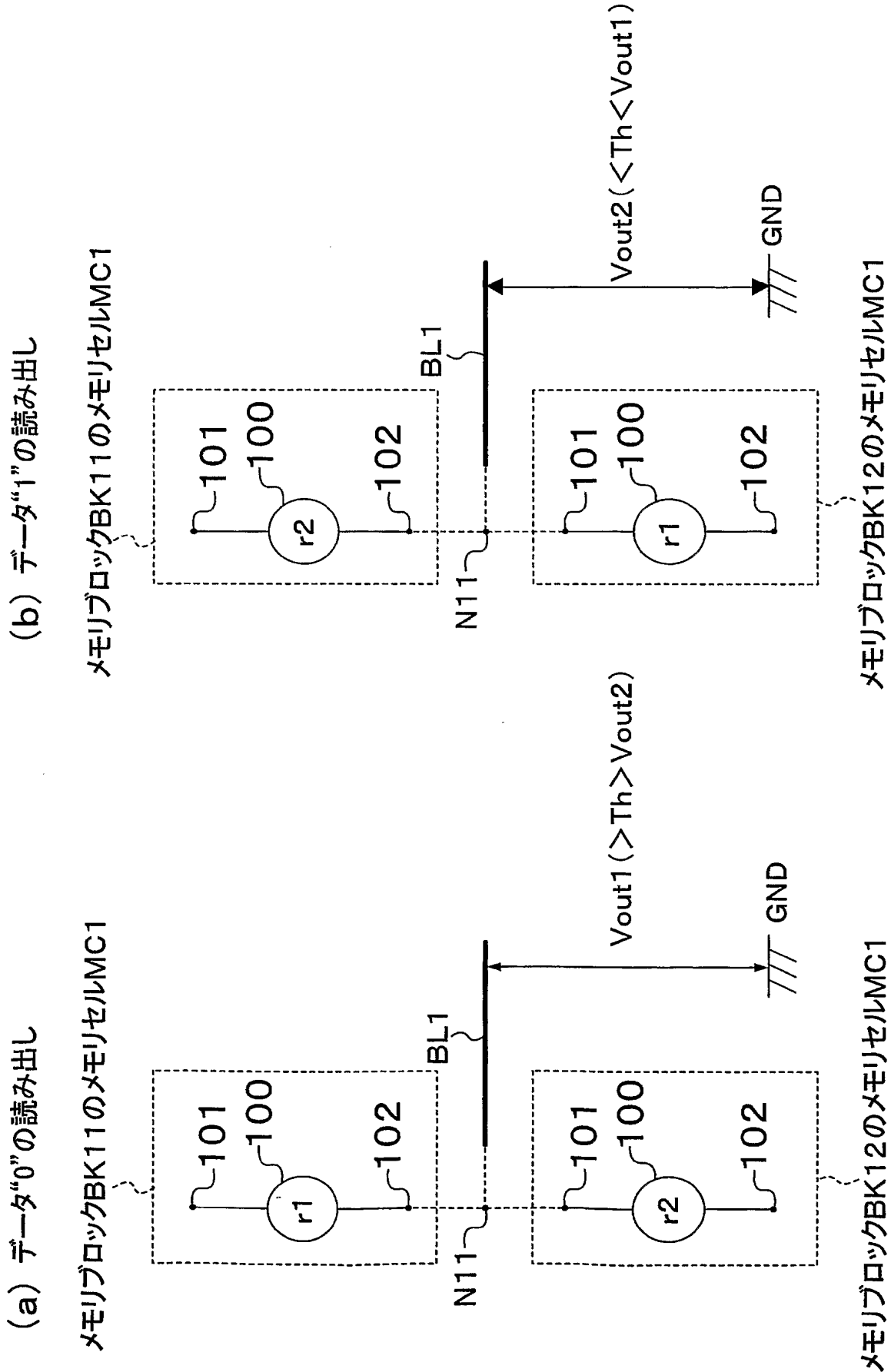
【図 6】



【図 7】

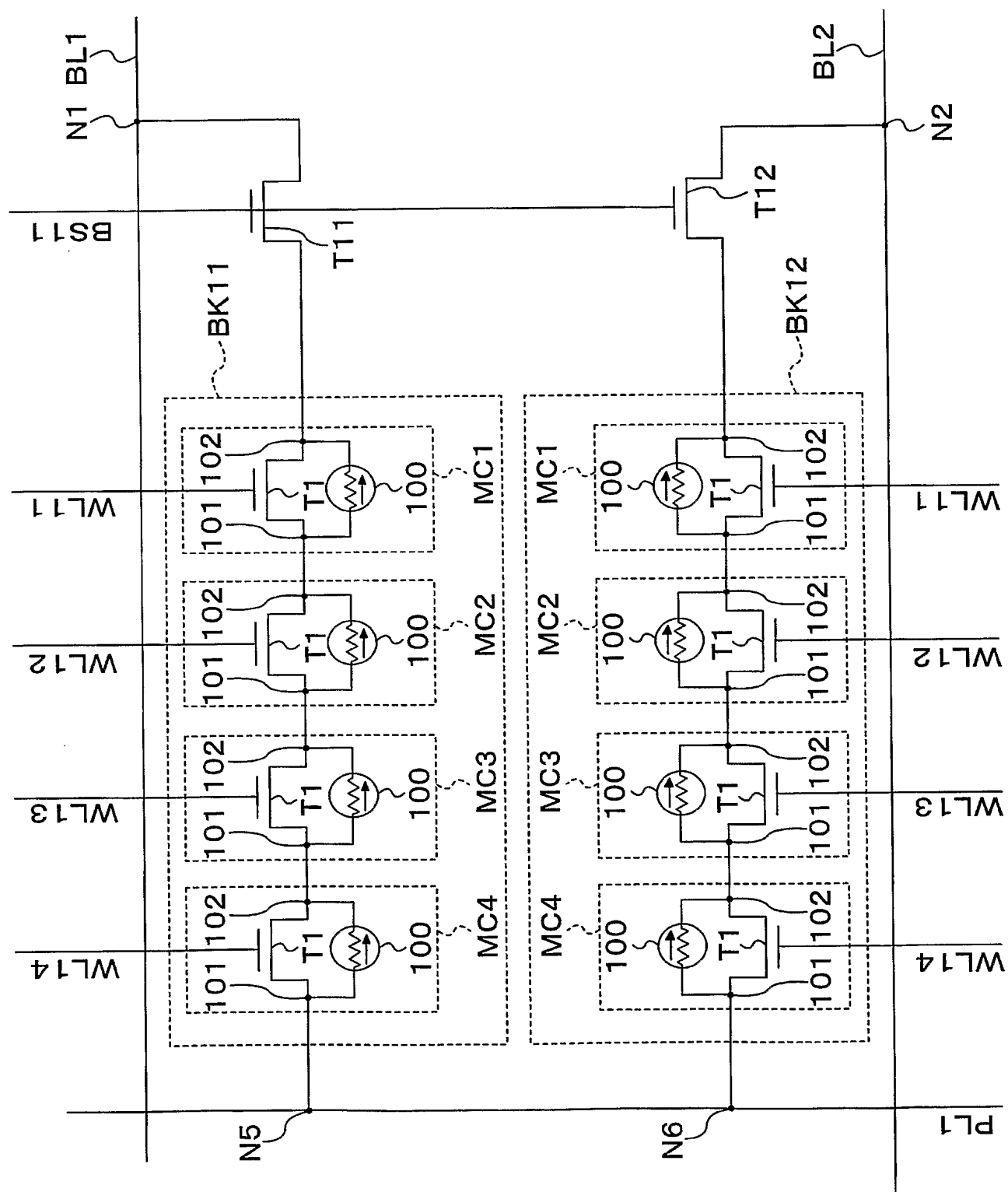


【図 8】



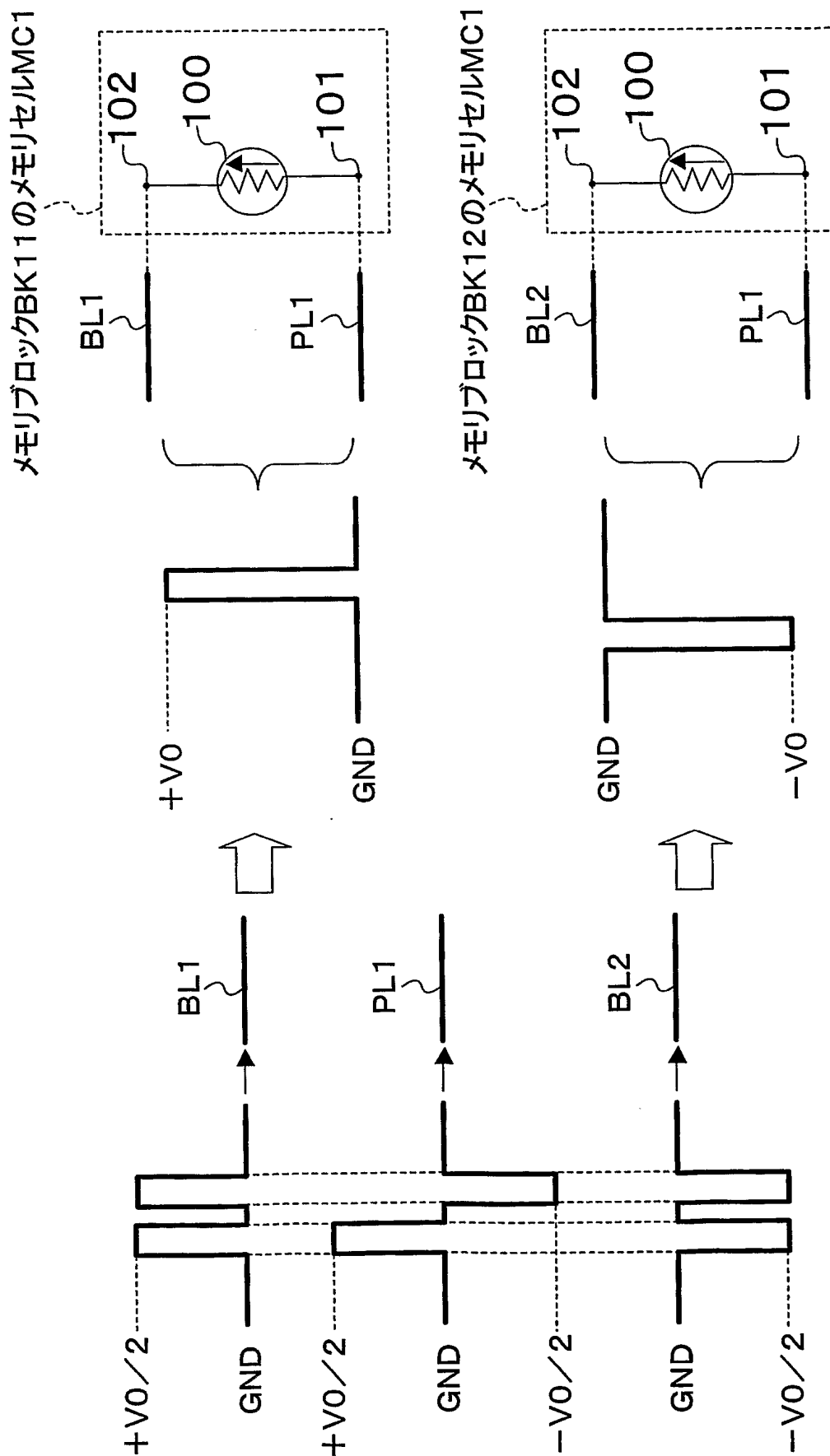


【図 10】

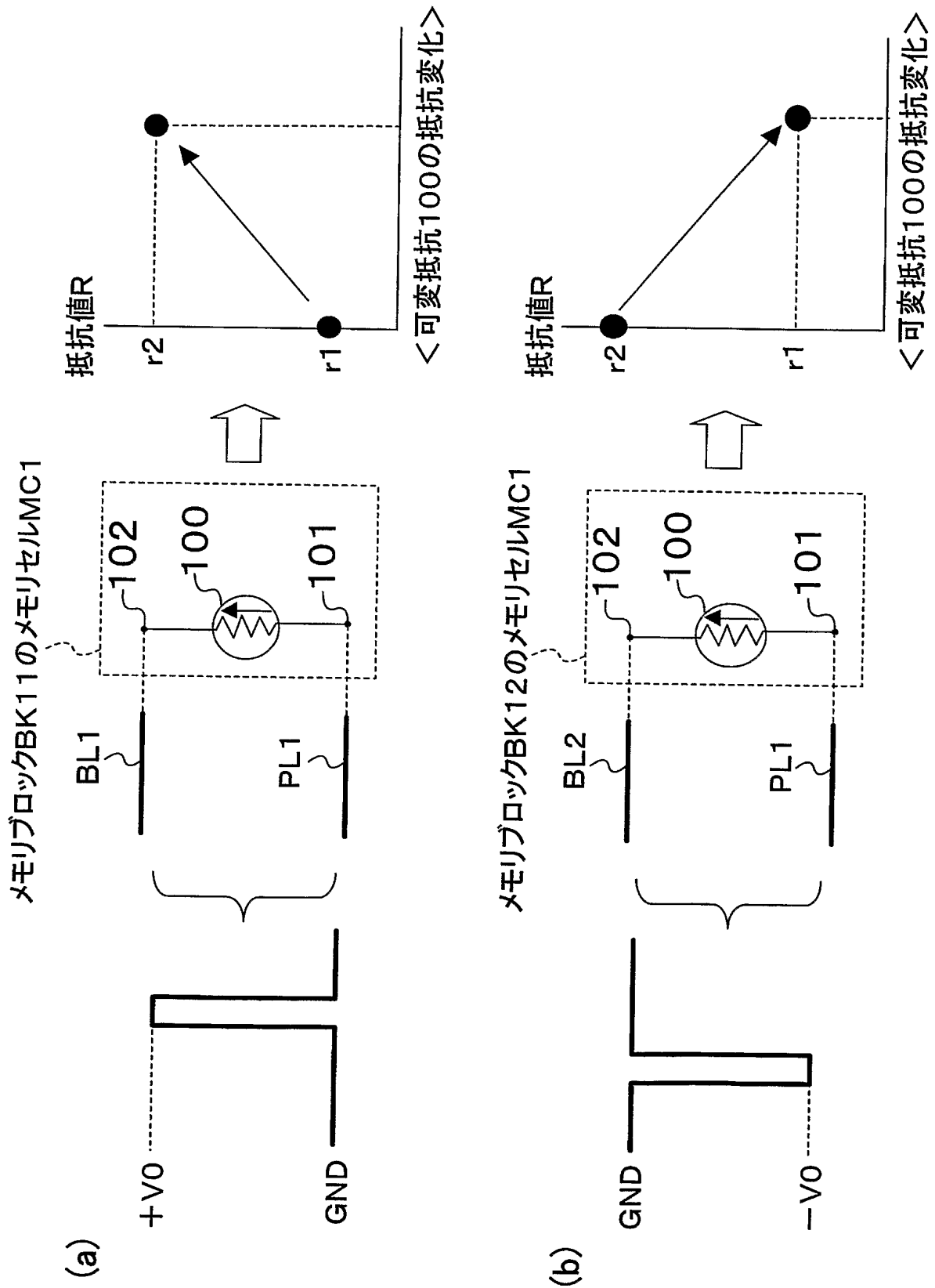




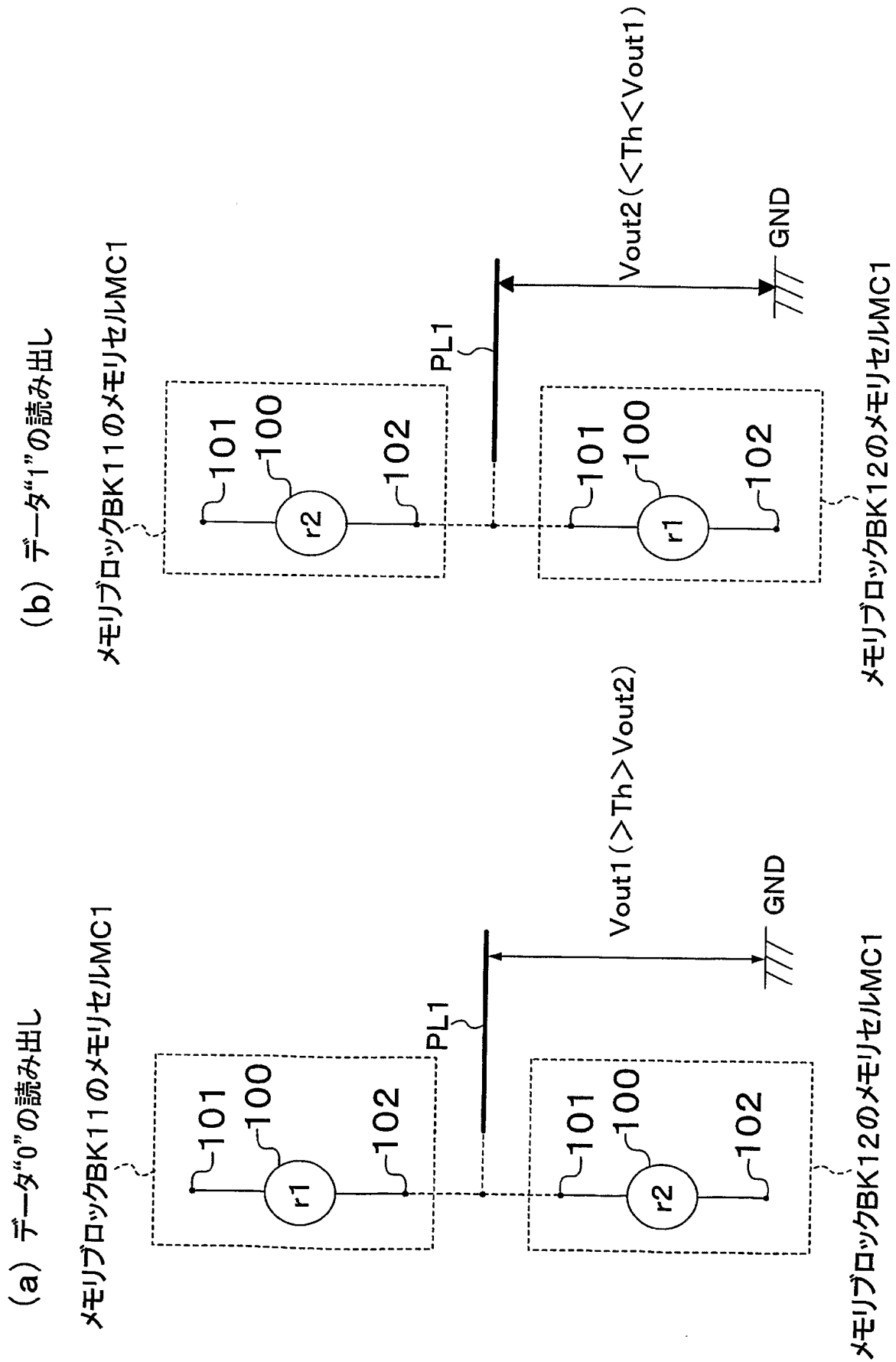
【図 11】



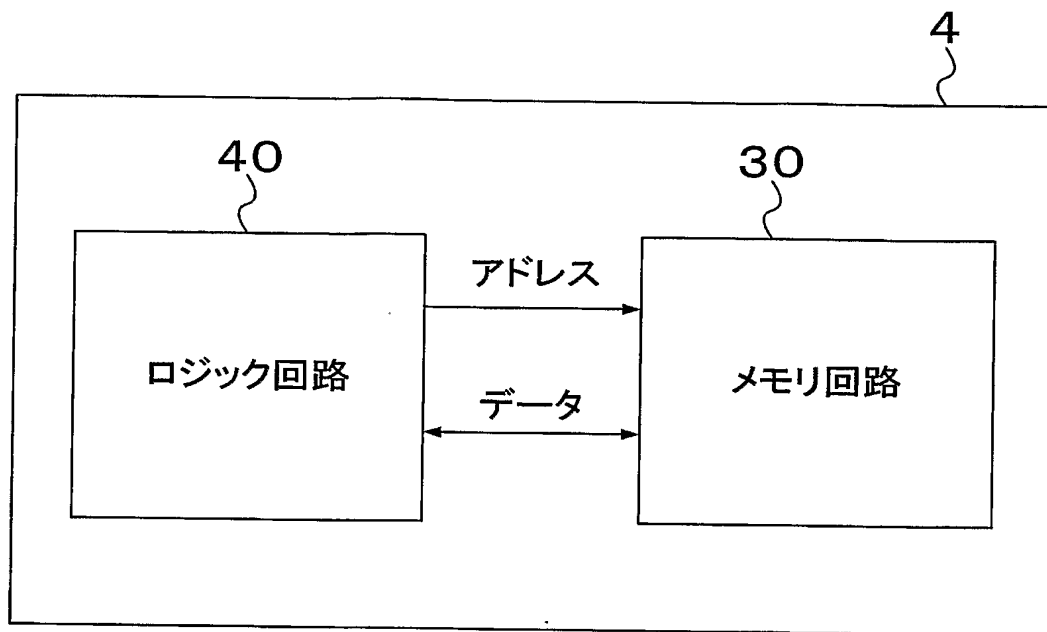
【図 12】



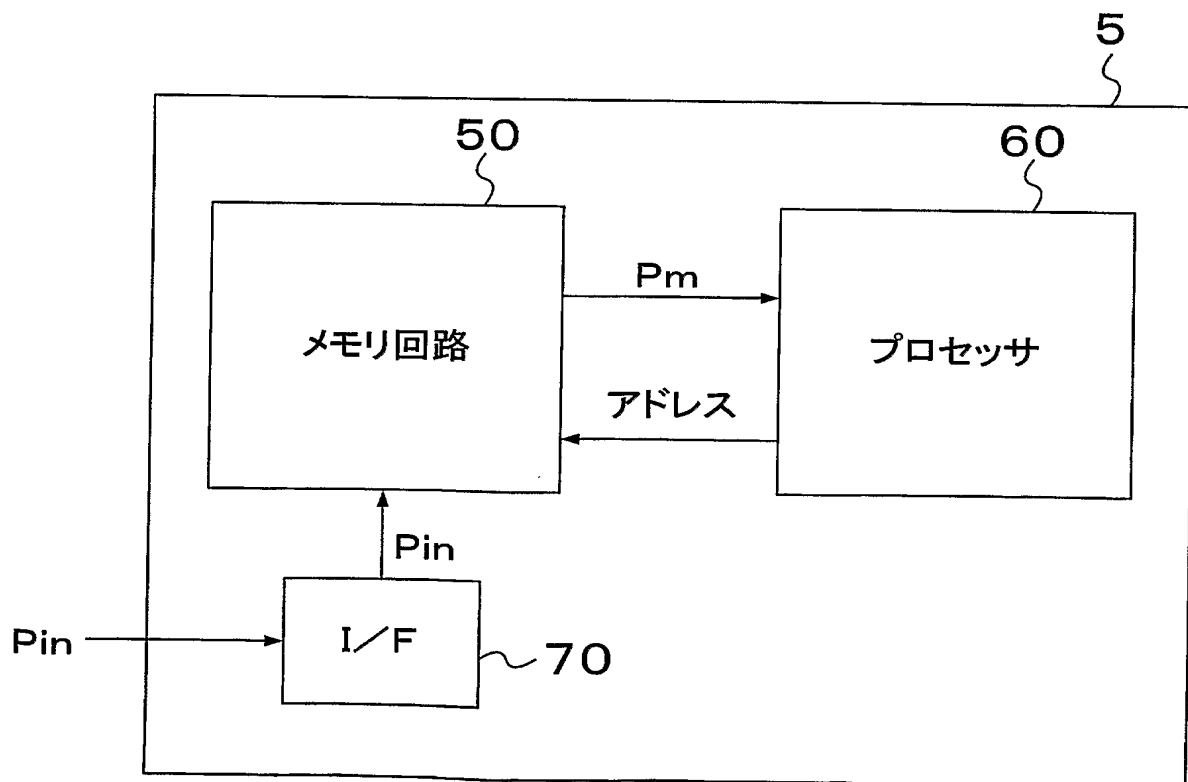
【図 13】



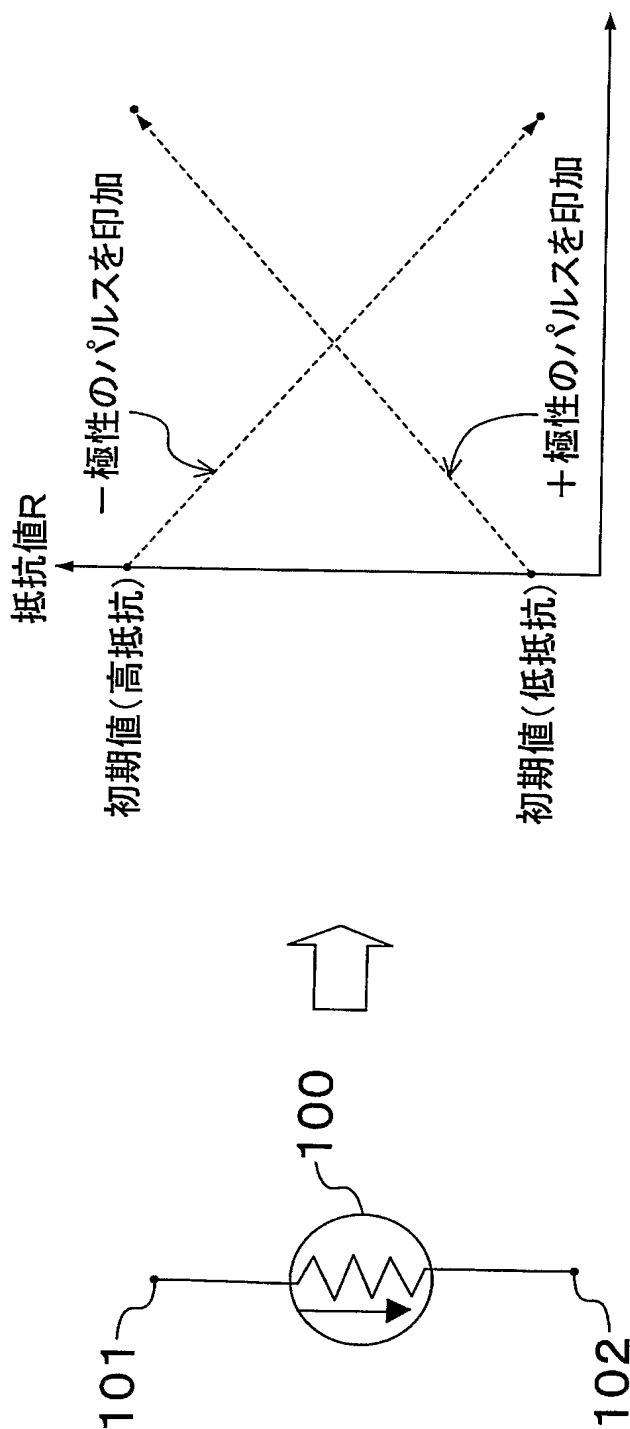
【図 14】



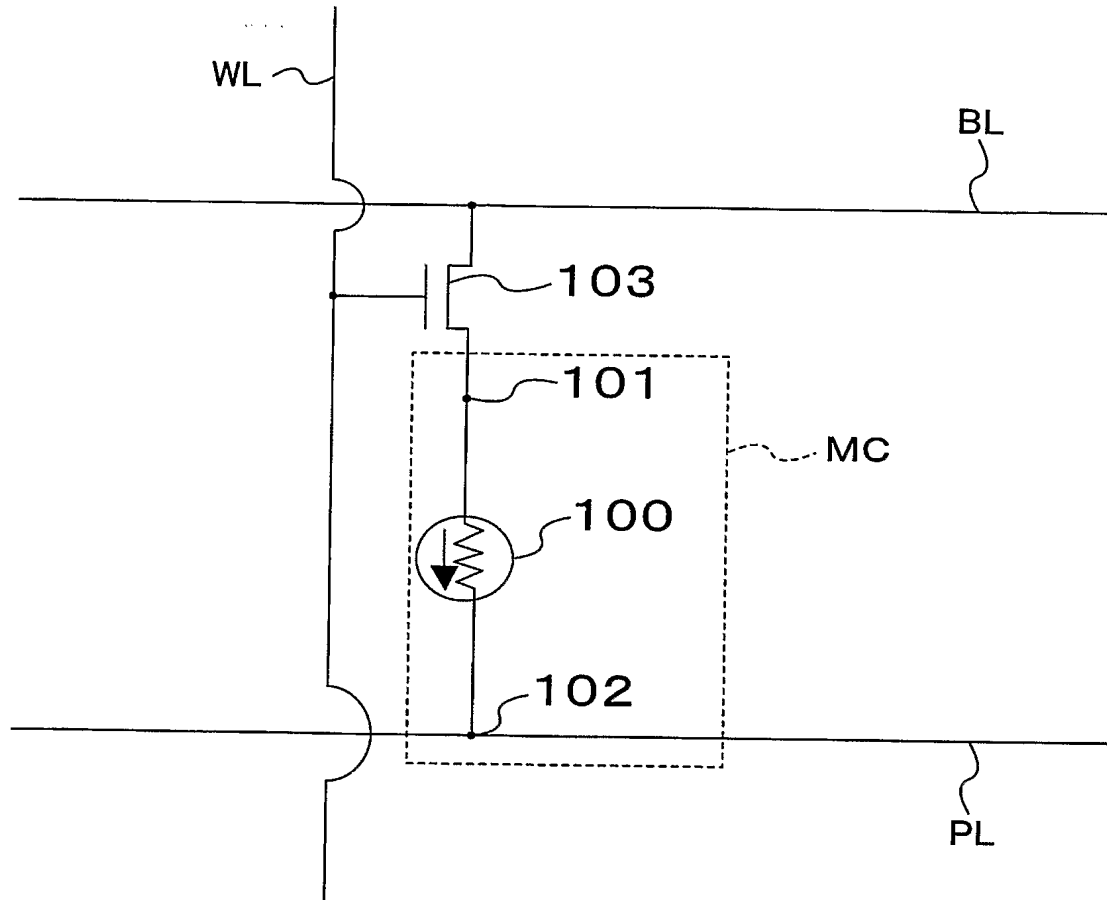
【図 15】



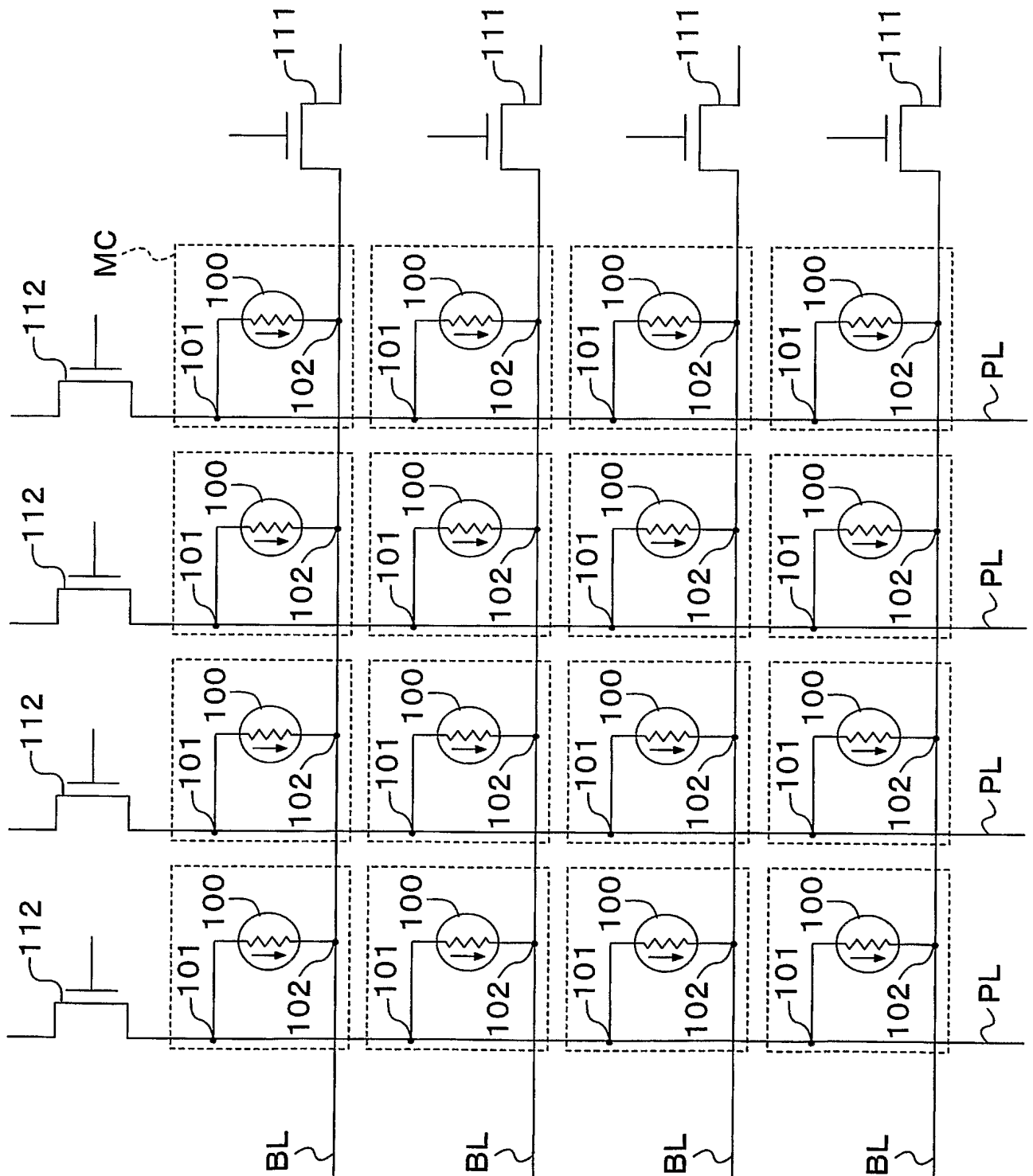
【図 16】



【図 17】



【図 18】



**【書類名】 要約書****【要約】**

**【課題】** 半導体の微細化が進んでもクロスポイント型の記憶素子に比べて記録再生のエラーが少ない記憶素子を可能とし、かつ、従来の 1 個のメモリセルに対してセル選択用のトランジスタが 1 個備わる記憶素子に比較して、セルサイズの低減により、高密度化による大容量化を実現可能とする。

**【解決手段】** メモリブロック BK 1 1 は、メモリセル MC 1 ～MC 4 を含む。メモリセル MC 1 ～MC 4 は、トランジスタ T 1 1 とプレート線 PL 1 との間に直列に接続されている。メモリセル MC 1 ～MC 4 はワード線 WL 1 1 ～WL 1 4 に対応している。メモリセル MC 1 ～MC 4 の各々は、可変抵抗 1 0 0 と、電極 1 0 1, 1 0 2 と、トランジスタ T 1 とを含む。可変抵抗 1 0 0 は、電極 1 0 1 と電極 1 0 2 との間に接続されている。可変抵抗 1 0 0 は、電極 1 0 1 と電極 1 0 2 との間に与えられる電氣的パルスに応答してその抵抗値が変化（増加／減少）する材料により構成されている。トランジスタ T 1 は、電極 1 0 1 と電極 1 0 2 との間に可変抵抗 1 0 0 と並列に接続されている。トランジスタ T 1 のゲートは、対応するワード線に接続されている。

**【選択図】** 図 2



特願 2 0 0 4 - 1 6 7 2 2 3

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社